

EDA Express

Журнал о технологиях
проектирования
и производства
электронных устройств

№14 2006 год

Выпускает ЗАО «НПП «Родник»
Россия, Москва, 117556,
Нахимовский проспект, д.1, к.1
Тел.: (495) 113-7001, 113-2688
Факс: (495) 317-9754
[e-mail: info@rodnik.ru](mailto:info@rodnik.ru)
www.rodnik.ru

Главный редактор:

А. А. КУРУШИН,
кандидат технических наук
kurushin@rodnik.ru

Редакционная коллегия:

А. В. ЕРМАКОВ,
ermakov@rodnik.ru

А. А. МИРОШНИК
miroshnik@rodnik.ru

Распространение, подписка:

Е. Е. КНЯЗЕВА
kate@rodnik.ru

ПОДПИСКА БЕСПЛАТНАЯ

Тираж – 3000 экз.

СОДЕРЖАНИЕ

Валерий Татаринов

Оформление чертежей печатных плат,
проектируемых в P-CAD 2004 4

Валерий Татаринов

Моделирование принципиальных
электрических схем в P-CAD 2004
средствами Altium Designer 2004 10

Алексей Сабунин

Трассировка дифференциальных пар
в P-CAD 2006
и Altium Designer 6.0 18

Юрий Ёлшин

Интерактивная трассировка
и трассировка дифференциальных пар 25

Юрий Ёлшин

Трассировка с контролем импеданса 31

Юрий Ёлшин

Трансляция проектов
из P-CAD и OrCAD в Altium Designer 34

Оформление чертежей печатных плат, проектируемых в P-CAD 2004

Валерий Татарин, info@rodnik.ru

Проектирование печатных плат заканчивается разработкой конструкторской документации (КД). В комплект КД на печатную плату в соответствии с ГОСТ 2.123-93 включается чертеж детали (чертеж печатной платы). P-CAD 2004 не имеет собственных средств оформления КД, отвечающих требованиям ЕСКД. В связи с этим при оформлении чертежей применяется другое программное обеспечение, предназначенное для разработки графической КД, среди которого большое распространение получил графический редактор AutoCAD. Вопросы передачи данных из P-CAD в AutoCAD и оформления чертежей в этом редакторе подробно рассмотрены в данной статье.

При оформлении чертежей печатных плат средствами графического редактора AutoCAD используются исходные данные, подготовленные в редакторе P-CAD PCB. Рекомендуется использование AutoCAD версии не ниже 2000i. В статье приводится методика оформления чертежей с использованием англоязычной версии AutoCAD 2000i. При описании команд AutoCAD в скобках приведены аналогичные команды русскоязычной версии AutoCAD 2005.

В соответствии с ГОСТ 2.417 чертеж печатной платы может быть создан как с проводящим рисунком, так и без проводящего рисунка. В статье рассмотрен вариант оформления чертежа с проводящим рисунком, как наиболее общий.

Подготовка проекта печатной платы для оформления чертежей

Для подготовки чертежа печатной платы используется файл её проекта, разработанный средствами редактора P-CAD PCB, из которого передается вся необходимая информация в графический редактор AutoCAD в виде DXF-файлов. Методика подготовки исходных данных и оформления чертежей рассмотрена на примере проекта печатной платы, для которой отображение проводящего слоя TOP в редакторе P-CAD PCB приведено на рис. 1, а отображение проводящего слоя BOTTOM — на рис. 2.

Подготовка проекта печатной платы для оформления чертежей необходима только при наличии в проекте областей металлизации, для упрощения их обработки в AutoCAD. Перед созданием DXF-файла необходимо удалить заполнение областей металлизации в проекте средствами редактора P-CAD PCB. Удаление заполнения областей металлизации — вспомогательная операция, поэтому после создания DXF-файла файл проекта сохранять не нужно.

Удалять заполнение области металлизации простым его отключением нельзя (режим Unpoured в свойствах области металлизации), в связи с тем, что незаполненные области

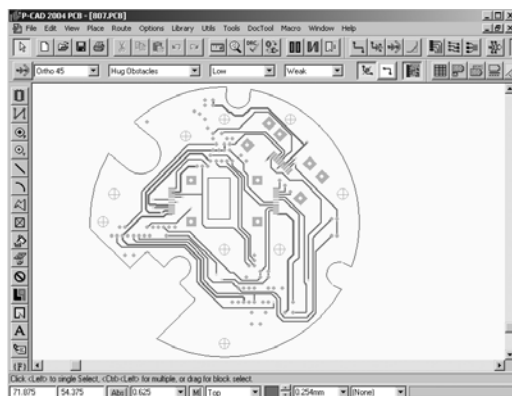


Рис. 1.

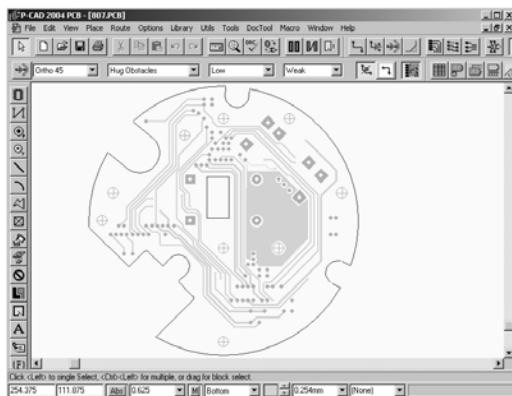


Рис. 2.

металлизации в файл DXF не включаются. Поэтому можно воспользоваться следующим приемом:

- выделить область металлизации и открыть её свойства (рис. 3);
- во вкладке **Style** диалогового окна задания свойств области металлизации **Copper Pour Properties** (рис. 4), в области **Pattern** выбрать самый простой стиль заполнения (горизонтальные линии) и задать расстояние между линиями заполнения **Line Spacing** большее, чем геометрические размеры области металлизации (в примере на рис. 4 — значение 0.635 мм заменено на 100.635 мм);
- выбрать режим повторного заполнения **Repour** и нажать **OK**.

Результат выполнения указанных действий показан на рис. 5.



Рис. 3.

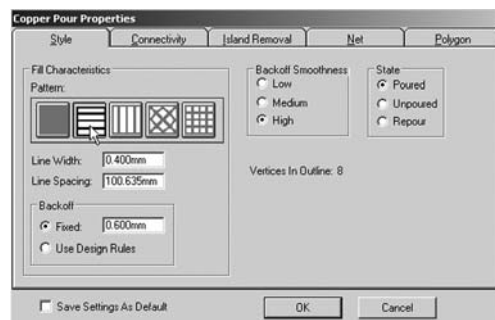


Рис. 4.

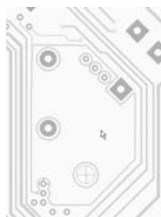


Рис. 5.

Создание DXF-файла в редакторе P-CAD PCB

Исходной информацией для подготовки чертежа печатной платы с проводящим рисунком служит DXF-файл с совмещенным рисунком контура, верхнего проводящего слоя, нижнего проводящего слоя и условными изображениями отверстий, принятыми в P-CAD.

Создание DXF-файла производится из ранее подготовленного проекта печатной платы командой редактора P-CAD PCB **File>Export>DXF**. После ввода этой команды откроется диалоговое окно задания параметров режима создания DXF-файлов **File DXF Out**, в котором необходимо установить параметры экспорта DXF-файла, как показано на рисунке 6. Установка флага **Draft** для данной методики обязательна.



Рис. 6.

После установок параметров следует нажать кнопку **Setup** для задания символов всех отверстий, используемых в печатной плате. Назначить имена символов условного обозначения всех отверстий следует автоматически, нажав кнопку **Automatic Assign**. После назначения имен символов для условного обозначения всех отверстий и нажатия кнопки **Close** произойдет возврат к диалоговому окну **File DXF Out**, в котором следует нажать кнопку **OK**. В результате DXF-файл будет сформирован.

Ввод DXF-файла в графический редактор AutoCAD

Ввести созданный редактором P-CAD PCB DXF-файл можно простым его открытием в редакторе AutoCAD. После ввода, как правило, рабочее поле AutoCAD остается «пустым». В этом случае для появления рисунка следует изменить масштаб просмотра.

Состав и назначение слоев DXF-файла, а также установленные в AutoCAD по умолчанию цвета этих слоев приведены в таблице 1. Рекомендуется установить цвета слоев, принятые по умолчанию в редакторе P-CAD PCB (см. табл. 1).

Таблица 1

Имя слоя в файлах DXF и DWG	Назначение слоя	Цвет слоя в файле DXF	Рекомендуемая установка цвета слоя в файле DWG
0	служебный	чёрный	чёрный
BOARD	контур печатной платы	зелёный	синий
BOTTOM	проводящий рисунок слоя BOTTOM проекта печатной платы	жёлтый	зелёный
DRILL_LAYER	условные изображения отверстий	серый	чёрный
TOP	проводящий рисунок слоя TOP проекта печатной платы	красный	красный

Затем следует очистить файл от неиспользуемых блоков и других графических элементов. Для этого необходимо ввести команду **File>Drawing Utilities>Purge (Файл>Утилиты>Очистить)**. В открывшемся диалоговом окне нажать кнопку **Purge All (Очистить все)**. На запрос подтверждения очистки отвечать **Да**. При необходимости процедуру очистки следует повторить несколько раз, до того момента, когда кнопка **Purge All** станет недоступной. После очистки сохранить открытый файл в формате AutoCAD DWG.

Пример сохраненного файла в формате DWG после установки цветов слоев приведен на рис. 7.

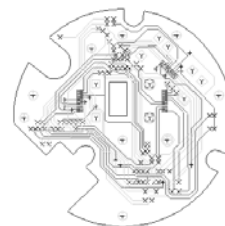


Рис. 7.

Следующим этапом подготовки чертежа является замена условных изображений отверстий, принятых в P-CAD, на условные обозначения в соответствии с ГОСТ 2.307. Замена производится в два этапа:

1) В соответствии с применяемыми в печатной плате диаметрами отверстий вводятся заранее созданные блоки (в виде файлов в формате DWG). В приведенном примере использованы условные изображения отверстий, приведенные в таблице 2.

2) Производится замена символов условных изображений отверстий, созданных редактором P-CAD PCB путем редактирования их блоков, расположенных в слое **DRILL_LAYER** файла DWG.

Таблица 2

Условное обозначение на чертеже	Диаметр отверстия, мм
	0.6
	0.8
	1.0
	1.3
	1.5
	2.0
	2.2
	2.4

Ввод блоков условных изображений отверстий

При вводе блоков условных изображений отверстий их следует размещать в центре одного из соответствующих символов условных изображений отверстий, созданных редактором P-CAD PCB. Все центры символов отверстий P-CAD PCB привязаны к центру обозначаемого отверстия. Центр символа P-CAD PCB обозначается центром окружности, пересечением линий или конечной точкой линии. В связи с этим, для точного совмещения центра блока и центра символа P-CAD PCB, в AutoCAD следует использовать режим объектной привязки **OSNAP** (ПРИВЯЗКА).

Вставка блоков производится командой **Insert>Block** (Вставка>Блок). После ввода команды, в диалоговом окне **Insert** (Вставка блока) нажать кнопку **Browse** (Обзор), см. рис. 8.

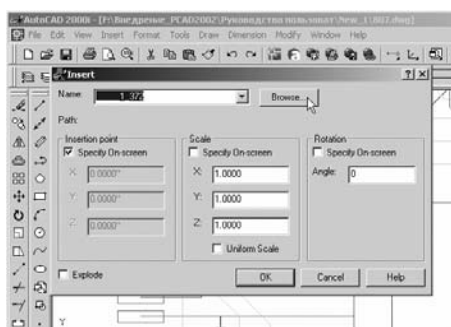


Рис. 8.

Затем в диалоговом окне **Select Drawing File** (Выбор файла рисунка) нужно выбрать необходимый файл блока с условным изображением отверстия и нажать кнопку **Open** (Открыть), см. рис. 9. После возврата в диалоговое окно **Insert** нажать **OK**.

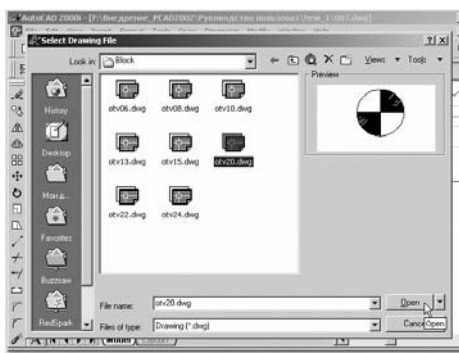


Рис. 9.

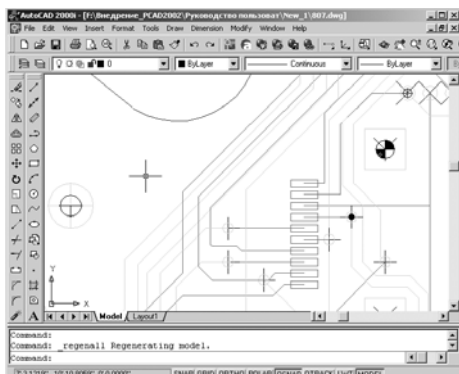


Рис. 10.

На рабочем поле AutoCAD следует разместить выбранный блок в центре условного изображения отверстия P-CAD PCB. Вставку блока повторить для всех оставшихся диаметров типов отверстий проекта. Результат вставки блоков для всех типов отверстий в проекте из приведенного выше примера (диаметры отверстий 0.6 мм, 1.0 мм, 2.0 мм и 2.5 мм) показан на рис. 10.

Замена условных изображений отверстий, созданных редактором P-CAD PCB

Замена символов условных изображений отверстий, созданных редактором P-CAD PCB производится путем редактирования их блоков, расположенных в слое **DRILL_LAYER** файла DWG.

Редактирование блока начинается вводом команды **Modify>In-place Xref and Block Edit>Edit Reference**. После ввода команды необходимо левой кнопкой мыши выбрать один из блоков условных изображений отверстий P-CAD PCB, в центре которых ранее были установлены изображения блоков для чертежа. После выбора блока откроется диалоговое окно **Reference Edit** (Редактирование вхождений), в котором будет отображено имя выбранного блока (рис. 11). В этом окне нажать **OK**. Затем последовательно выбираются все элементы блока P-CAD PCB (рис. 12).

После завершения выбора нажать правую кнопку мыши. В результате открывается диалог редактирования **Refedit** (Редактирование вхождений). В этом диалоге выбрать и удалить все элементы символа P-CAD PCB (рис. 13).

Затем выбрать вставленный блок для чертежа и нажать кнопку **Add objects to working set** (Добавить объекты в рабочий набор), см. рис. 14. В результате всех произведенных действий условное изображение отверстия в блоке P-CAD PCB будет заменено на изображение из вставленного блока.

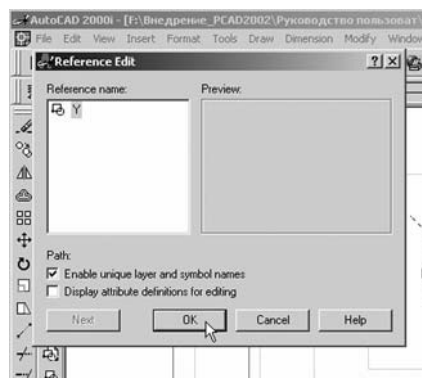


Рис. 11.

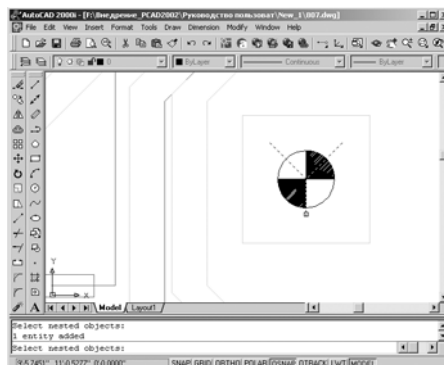


Рис. 12.

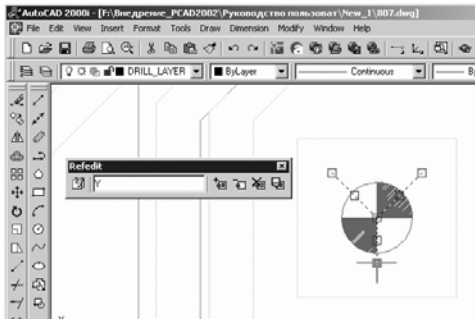


Рис. 13.

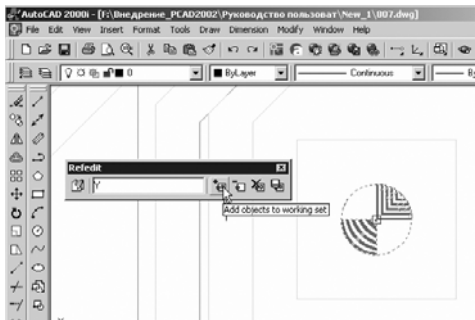


Рис. 14.

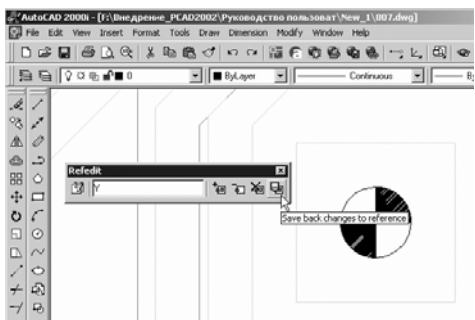


Рис. 15.

После завершения редактирования блока символа P-CAD PCB в окне редактирования нажать кнопку **Save back changes to reference** (**Сохранить изменения**), см. рис. 15. На запрос подтверждения сохранения всех изменений в блоке следует ответить **OK**.

После сохранения изменений блока символа P-CAD PCB все условные символы для данного типа отверстия будут заменены (рис. 16).

Замену символов условных изображений отверстий, созданных редактором P-CAD PCB следует повторить для всех оставшихся блоков символов для чертежа.

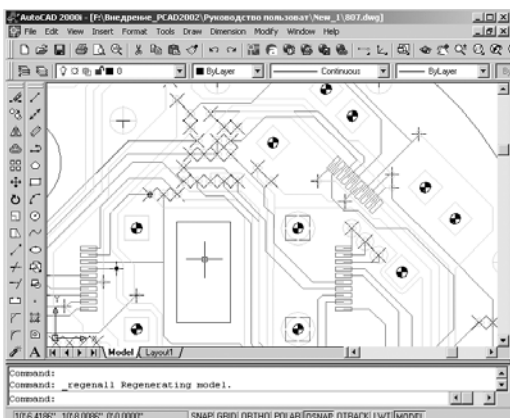


Рис. 16.

Редактировать уже замененные символы условных изображений отверстий можно средствами AutoCAD. Для замены следует вставить отредактированный файл блока и на запрос о переопределении всех ссылок на существующий блок ответить **OK**. После этого отменить вставку самого блока нажатием клавиши **Esc**. Все условные изображения отверстий, использующие этот блок будут заменены.

Подготовка послынных чертежей проводящего рисунка печатной платы

Все контактные площадки (КП) в файле DWG отображаются в слоях **TOP**, **BOTTOM** или на обоих слоях одновременно, в зависимости от их расположения на плате. Все КП в файле DWG сформированы в виде многоуровневых блоков. Блок верхнего уровня каждой КП расположен на слое **0**. Имена блоков изображений КП, вложенных в многоуровневые блоки КП, начинаются с «**SHAPE**». При последующих действиях по подготовке чертежа все КП со сквозными отверстиями будут удалены из файла DWG. Если необходимо оставить изображение каких-либо КП со сквозными отверстиями на чертеже, следует расчленить их блоки, и КП, имеющие на обоих слоях печатной платы одинаковую простую форму и размеры (простой стиль **Simple**), перенести на другой, **вновь созданный** слой.

Рассмотрим методику выполнения указанных действий на приведенном ниже примере.

Вначале следует создать слой **1** для основных линий и слой **2** для тонких линий чертежа. Рекомендуется установить цвета слоев соответственно синий и красный. Затем выбрать блоки необходимых КП и применить к ним команду **Explode** (**Расчленить**), см. рис. 17. Повторное расчленение блоков КП может потребоваться только в том случае, если блок КП входит в блок более высокого уровня, например блок компонента. Определить это можно следующим способом: если при выборе блока одной КП выделяются несколько блоков, то сначала нужно применить команду **Explode** к этой группе блоков, и только затем к блокам конкретных КП.

В примере (рис. 17) выбраны 8 блоков, имеющих прямоугольную форму и одинаковые размеры КП на обоих

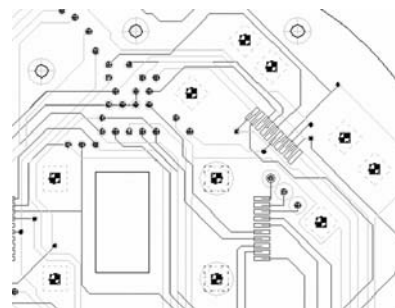


Рис. 17.

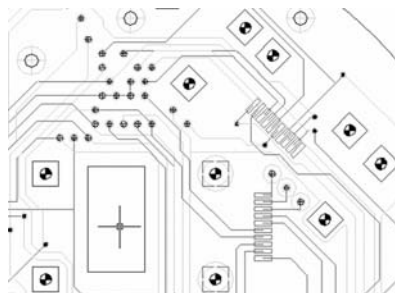


Рис. 18.

слоях печатной платы (стиль Simple) и 2 блока, у которых на верхнем слое прямоугольная форма КП, а на нижнем — круглая (стиль Complex). К этим блокам применена команда Explode.

После расчленения блоков КП следует выбрать блоки КП стиля **Simple** (в примере — 4 прямоугольных КП в центре и 6 прямоугольных КП, повернутых на угол 45) и переместить их на слой **1**. Результат переноса приведен на рис. 18. Перенесенные на слой 1 КП отображены цветом этого слоя (синим).

Следующий этап — разделение изображения проводящего рисунка печатной платы по слоям файла DWG. Для этого необходимо создать копию рисунка печатной платы **в этом же файле**. Для создания копии включить все слои, ввести команду **Modify>Copy** (**Редактировать>Копировать**), выбрать окном весь рисунок и в режиме **ORTO** (**ОПТО**) поместить его копию рядом с оригиналом.

После этого следует установить слой **BOTTOM** текущим и выключить все остальные слои кроме **BOTTOM**. Выбрать окном все элементы первого изображения печатной платы и удалить их. Установить слой **TOP** текущим и выключить все остальные слои кроме **TOP**. Выбрать окном все элементы второго изображения печатной платы и удалить их. Включить все слои. Результат выполнения действий по разделению изображения проводящего рисунка по слоям файла DWG приведен на рис. 19.

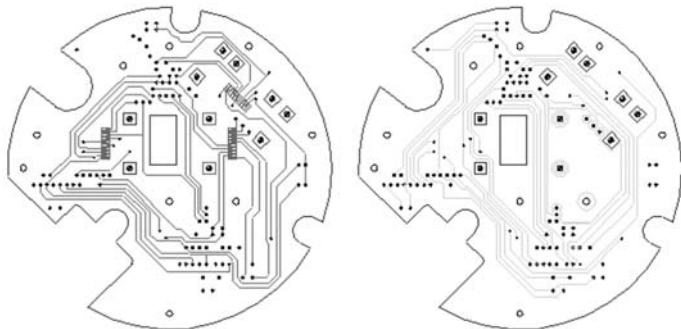


Рис. 19.

Штриховка контактных площадок

Для штриховки КП необходимо редактировать её блок. После ввода команды редактирования блока и выбора соответствующего блока КП, в диалоговом окне редактирования блока **Reference Edit** (**Редактирование ввода**) выбрать блок с именем «**SHAPE...**» и нажать **OK** (рис. 20). Затем последовательно выбрать все элементы блока и нажать правую кнопку мыши.

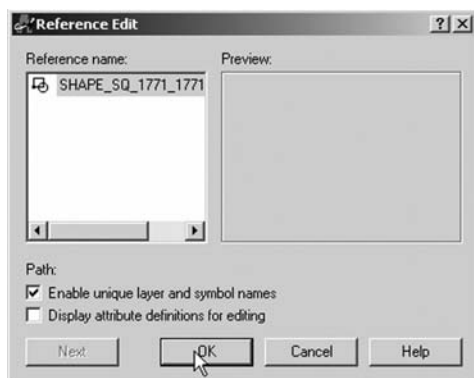


Рис. 20.

В результате откроется диалог редактирования **Refedit** (**Редактирование ввода**), в котором следует установить текущим слой тонких линий **2**. После этого ввести команду штриховки **Draw>Hatch** (**Рисование>Штриховка**).

После ввода команды штриховки, в диалоговом окне **Boundary Hatch** (**Штриховка/Заливка по контуру**) на вкладке **Quick** (**Штриховка**) необходимо задать параметры рисунка штриховки, а затем задать режим выбора границ объекта штриховки. Для штриховки таких простых объектов, как КП, рекомендуется задавать режим выбора границ объекта штриховки **Pick Points** (**Указание точек**), см. рис. 21.

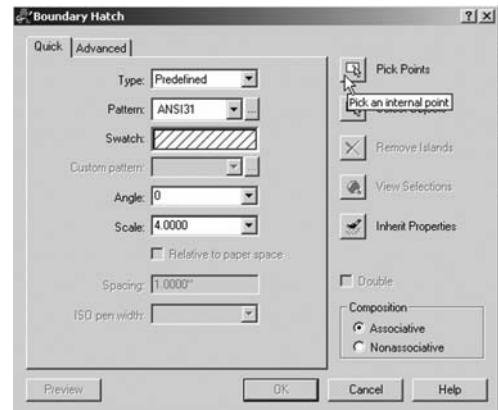


Рис. 21.

Задав режим **Pick Points**, указать точку, принадлежащую предполагаемой области штриховки. Затем выбрать пункт меню **Enter**. После возврата в диалог **Boundary Hatch** нажать **OK** для штриховки или воспользоваться кнопкой **Preview** (**Просмотр**) для предварительного просмотра штриховки.

Когда штриховка будет завершена, в окне редактирования нажать кнопку **Save back changes to reference** (**Сохранить изменения**). На запрос подтверждения сохранения всех изменений в блоке следует ответить **OK**. После сохранения изменений блока символа все КП, описанные этим блоком, будут заштрихованы (рис. 22).

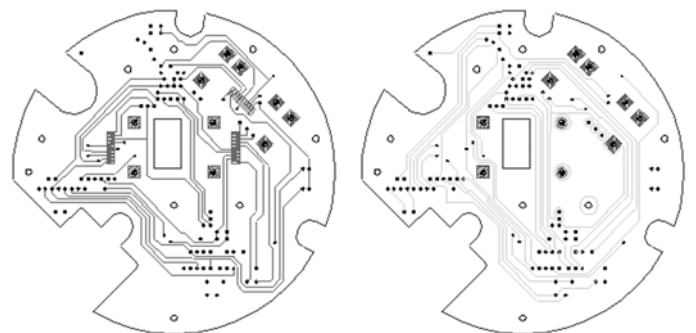


Рис. 22.

Штриховка областей металлизации

В приведенном примере область металлизации располагается на нижнем слое. Установить текущим слой **2**. Выключить все слои, кроме **2** и слоя, на котором отображена область металлизации (в примере — слой **BOTTOM**).

Ввести команду рисования штриховки **Draw>Hatch** (**Рисование>Штриховка**). В результате ввода команды откроется диалоговое окно **Boundary Hatch** (**Штриховка/Заливка по контуру**).

При наличии «островков» в области металлизации, на вкладке **Advanced (Дополнительные)** следует установить стиль обнаружения островков, в зависимости от их расположения. В приведенном примере в области металлизации присутствуют островки в виде круглых КП, которые уже имеют штриховку. Поэтому для исключения их повторной штриховки выбран стиль **Outer (Внешний)**, см. рис. 23.

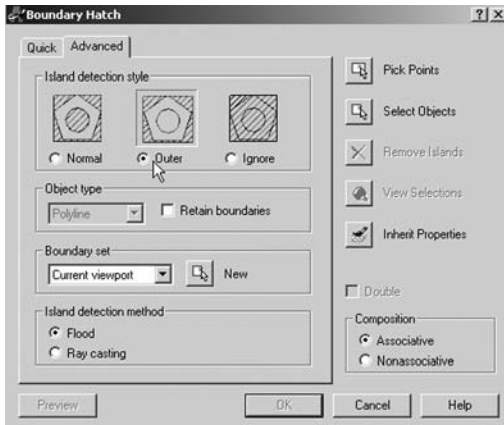


Рис. 23.

На вкладке **Quick (Штриховка)** задать параметры рисунка штриховки, а затем задать режим выбора границ объекта штриховки.

Для штриховки области металлизации в приведенном примере задан режим выбора границ объекта штриховки **Pick Points (Указание точек)**.

После задания режима выбора границ объекта штриховки необходимо выбрать эти границы. В приведенном примере указана точка, принадлежащая области штриховки (рис. 24).

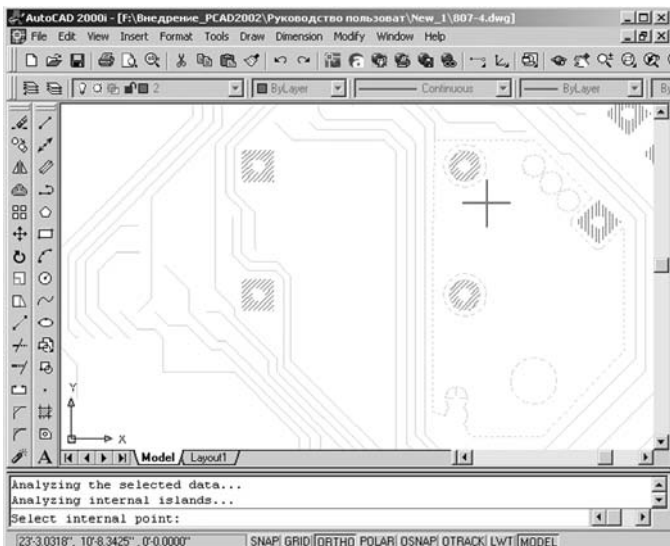


Рис. 24.

Выбрав границы, выберите пункт меню **Preview (Просмотр)** для предварительной оценки результата штриховки. После предварительного просмотра результатов штриховки нажать клавишу **Ecs**. После возврата в диалог **Boundary Hatch**, в зависимости от предварительного просмотра, нажать **OK** для принятия штриховки или изменить параметры и режимы штриховки.

После завершения штриховки всех областей металлизации, расположенных в одном слое, включить все слои.

Результат штриховки области металлизации на слое **BOTTOM**, в приведенном примере, показан на рис. 25.

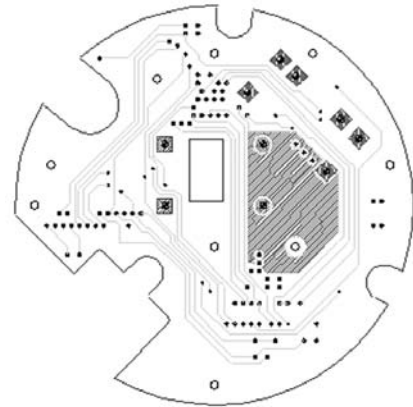


Рис. 25.

Оформление послойных чертежей проводящего рисунка печатной платы

Включить все слои. Установить цвета слоев, в соответствии используемыми толщинами линий при печати. Например, для основных линий (слои **0, 1, BOARD, BOTTOM, DRILL_LAYER** и **TOP**) установить черный цвет, а для тонких линий (слой **2 — красный**). Рисунок нижнего слоя отобразить зеркально командой **Modify>Mirror (Редактировать>Зеркало)**. Командой **Modify>Scale (Редактировать>Масштаб)** установить масштаб изображения в соответствии с форматом чертежа.

Результат получения послойных чертежей проводящего рисунка печатной платы в одном файле DWG приведен на рис. 26.

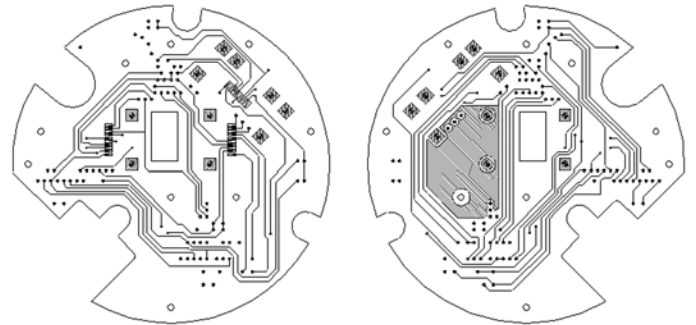


Рис. 26.

Полученный в результате описанных выше действий файл DWG с послойными чертежами печатной платы следует очистить от неиспользуемых блоков и других графических элементов командой **File>Drawing Utilities>Purge (Файл>Утилиты>Очистить)**. После очистки сохранить открытый файл с уникальным именем в формате AutoCAD DWG. Затем скопировать рисунок верхнего слоя в системный буфер обмена. Открыть файл AutoCAD с форматом первого листа чертежа. Перенести содержимое системного буфера обмена в открытый файл формата и сохранить этот файл с уникальным именем. Аналогичные операции проделать с рисунком нижнего слоя.

Дальнейшее оформление чертежей печатной платы производится средствами графического редактора AutoCAD в соответствии с ЕСКД (нанесение размеров, координатной сетки и т. д.). ■

Моделирование принципиальных электрических схем в P-CAD 2004 средствами Altium Designer 2004

Валерий Татаринов, info@rodnik.ru

Система автоматизированного проектирования P-CAD 2004 с Altium Designer 2004 позволяет комплексно решать задачу автоматизированной разработки РЭА, одним из этапов которой является схемотехническое проектирование изделий РЭА. Если электрические схемы отличаются сложностью, многофункциональностью применяемых радиоэлементов, сложной структурой входных и формируемых сигналов, то отсутствие этапа их компьютерного моделирования приводит к затягиванию сроков отработки и снижению качества и надежности РЭА.

P-CAD 2004 использует модуль моделирования (Circuit Simulator) системы Altium Designer 2004 (Protel 2004). При моделировании аналоговых устройств используются алгоритмы SPICE 3f5. При моделировании цифровых устройств используется алгоритм XSPICE с описанием моделей цифровых элементов на языке Digital SimCode.

Применяемые в пакете усовершенствованные алгоритмы моделирования семейств SPICE, положительно зарекомендовавшего себя в мировой практике на протяжении последних 20 лет, позволяют проводить расчет широкого класса цифровых, аналоговых и цифро-аналоговых электрических схем и обеспечивают хорошую сходимость итерационных процессов при моделировании без дополнительной настройки.

Принципиальная схема моделируемого устройства создается с помощью схемного редактора P-CAD Schematic. При выборе режима моделирования в P-CAD Schematic, данные о принципиальной схеме автоматически передаются в виде списка соединений в управляющую оболочку системы Altium Designer для составления задания на моделирование, собственно моделирования и просмотра его результатов.

Основной проблемой при моделировании является разработка моделей радиоэлементов, особенно отечественных, т. к. точность построения модели определяет адекватность моделирования. Достаточно подробные рекомендации по разработке и использованию моделей приведены в P-CAD 2004 в виде электронной версии (файл P-CAD 2004 Circuit Simulator User's Guide.pdf). К сожалению этот документ почему-то описывает интерфейс модуля моделирования Protel 99SE, но для разработки моделей он может быть успешно использован.

Подготовка электрической схемы к моделированию

Моделирование электрической принципиальной схемы электронного устройства, созданной в схемном редакторе

P-CAD Schematic, может быть проведено после ряда подготовительных операций:

1) Из схемы исключаются компоненты, не имеющие математических моделей (разъемы, элементы коммутации и т. п.).

2) Из схемы рекомендуется исключить функциональные узлы, непосредственно не влияющие на результаты моделирования, или такие функциональные узлы, которые можно заменить на источники сигналов и постоянных напряжений и токов (например, генераторы тактовых частот, источники и стабилизаторы напряжений питания и т. п.). Исключение таких функциональных узлов может существенно уменьшить время моделирования схемы.

3) При необходимости добавляются цепи внешней коммутации схемы (элементы, подключаемые к разъемам при проведении проверок схемы и т. п.).

4) В схему необходимо добавить источники питания и источники, формирующие входные сигналы, а также задать необходимые параметры этих источников.

5) Цепи «земля» должно быть присвоено стандартное имя **GND**.

6) Цепям питания цифровых микросхем должны быть присвоены стандартные имена (обычно **VCC**, **VDD**), которые должны соответствовать именам выводов питания в компонентах микросхем.

7) В свойствах пассивных компонентов схемы (резисторов, конденсаторов и т. п.) на вкладке «Symbol» корректируются или задаются номинальные значения параметров этих компонентов (параметр «Value»). Для всех пассивных компонентов схемы номинальные значения их параметров должны быть заданы. Все активные компоненты схемы должны иметь атрибуты моделирования, принадлежащие категории атрибутов «Simulation».

8) Необходимо обеспечить наличие файлов математических моделей всех используемых в схеме компонентов, в атрибутах которых имеются ссылки на такие файлы. Файлы моделей должны размещаться в директориях, указанных в атрибутах «**SimFile**» этих компонентов.

9) Цепям, которые входят в те узлы, сигналы в которых необходимо визуально оценить после моделирования, рекомендуется присвоить уникальные имена, для удобства ссылки на них.

После подготовки схемы для моделирования рекомендуется провести её предварительную проверку, выбрав команду «Utils > Generate Netlist» редактора P-CAD Schematic и сгенерировав список соединений в формате **XSpice**. Если при подготовке схемы были допущены ошибки, то при генерации списка соединений список этих ошибок выводится на экран и помещается в файл <имя проекта>.ERR. Такой проверкой отслеживаются ошибки типа «для компонента не найден файл модели», «в схеме нет цепи с именем GND» и т. п.

Источники сигналов

Для задания в моделируемой схеме напряжений питания, токов и входных сигналов, как постоянных, так и меняющихся во времени, применяются специальные компоненты, описывающие источники постоянных и переменных напряжений и токов. Эти компоненты находятся в стандартных библиотеках, поставляемых с P-CAD. Источники напряжений и токов простой стандартной формы (постоянного, периодического импульсного, синусоидальной формы), а также источники напряжений и токов произвольной формы (задаваемой кусочно-линейной аппроксимацией), находятся в библиотеке **Simulation Source.lib**. Для задания сигналов сложной формы,

таких, как пачки импульсов, синусоидальные сигналы переменной частоты, последовательности прямоугольных импульсов с переменным периодом, сигналы треугольной и пилообразной формы и т. п., используются специальные компоненты, комбинации из этих компонентов и источников сигналов простой формы. Эти компоненты находятся в библиотеке **Voltage Controlled Oscillator.lib**. Перечень источников сигналов, используемых при моделировании схем, приведен в таблице 1.

Таблица 1

Символ	Имя	Назначение
Источники напряжений и токов простой стандартной формы		
	VSRC и ISRC	источники постоянного напряжения и тока
	VPULSE и IPULSE	источники периодического импульсного напряжения и тока
	VSIN и ISIN	источники напряжения и тока синусоидальной формы
Источники напряжений и токов произвольной формы		
	VPWL и IPWL	источники напряжения и тока произвольной формы, задаваемой кусочно-линейной аппроксимацией
Источники напряжений сложной формы		
	SINEVCO	управляемый напряжением генератор синусоидального сигнала
	SRQVCO	управляемый напряжением генератор прямоугольных импульсов
	TRIVCO	управляемый напряжением генератор треугольных импульсов

Все источники напряжений и токов имеют позиционное обозначение «Ref Des» U. Параметры источников сигналов задаются с помощью атрибутов путем корректировки их параметров в свойствах компонентов. Наборы атрибутов определяются встроенными в систему моделями этих компонентов, поэтому добавлять и удалять любые атрибуты в компонентах источников сигналов **запрещено** (к сожалению, P-CAD позволяет это делать). Недопустимо также изменять имена параметров атрибутов.

Например для источника синусоидального напряжения VSIN, введенного в схему, задаются параметры следующих атрибутов:

- SimField4 Offset=0.5* (смещение напряжения 0.5 В);
- SimField5 Amplitude=0.5* (амплитуда напряжения 0.5 В);
- SimField6 Frequency=1k* (частота 1 КГц);
- SimField7 Delay=1m* (задержка начала сигнала 1 мс);
- SimField8 Damping Factor=0* (коэффициент затухания 0 с⁻¹);
- SimField9 Phase Delay=45* (фазовый сдвиг 45°).

Математические модели компонентов схемы

Соответствие результатов моделирования электрических схем характеристикам реальных образцов РЭА определяется точностью математических моделей элементов, используемых в схеме. Модели полупроводниковых приборов встроены в систему моделирования, описания их параметров содержатся в специальных файлах с расширением *.mdl. Модели аналоговых микросхем представляют собой описания в виде подсхем (макромодели), разработанные

на основе их электрических схем и содержатся в файлах с расширением *.ckt.

Модели цифровых микросхем представляют собой описания алгоритма их функционирования на специализированном языке системы моделирования SimCode и содержатся в файлах с расширением *.txt (в исходном текстовом виде) или *.scb (в упакованном формате, полученном в результате компиляции файлов *.txt).

Все модели учитывают влияние температуры и напряжения питания на параметры моделируемых радиоэлементов, а также производственный разброс этих параметров. Модели цифровых микросхем учитывают также нагрузочную способность микросхем.

Модель каждого элемента должна помещаться в отдельном файле (кроме файлов *.scb, в которых могут содержаться как отдельные описания скомпилированных текстовых описаний моделей, так и их наборы, сгруппированные по какому-либо признаку, например по сериям микросхем). Файлы моделей располагаются в системной директории P-CAD «...\P-CAD 2004\Lib\Sim» и могут группироваться в ней в отдельных директориях по характерному признаку, например тип модели или фирма-производитель радиоэлемента или серия микросхемы.

Связь компонента радиоэлемента и его математической модели определяется специальными атрибутами компонента с категорией атрибутов «Simulation» (рис.1). В качестве примера на рис. 2 приведены атрибуты моделирования цифровой микросхемы SN74LS112A.

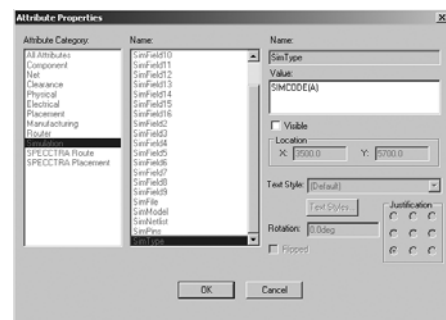


Рис. 1.

Основными атрибутами моделирования для всех типов моделей являются: «SimType» — тип модели, «SimModel» — имя модели, «SimFile» — ссылка на файл модели, «SimPins» — список выводов компонента (для многосекционных компонентов — список выводов всех секций) и «SimNetlist» — список соединений (входов и выходов модели), связанный со списком выводов компонента.

Значение атрибута «SimType» для моделей полупроводниковых приборов — тип встроенной модели (например для биполярного транзистора типа npn — «NPN(Q)»), для моделей аналоговых микросхем — «SUBCKT(X)» (подсхема),

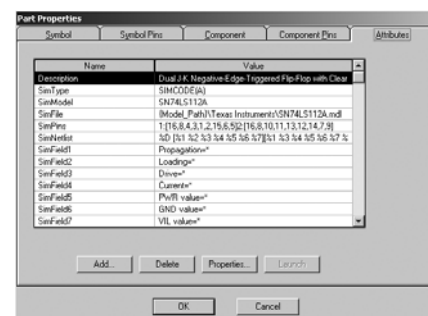


Рис. 2.

для моделей цифровых микросхем — «SIMCODE(A)» (описание на языке SimCode).

В значении атрибута «SimFile» ключевое слово «{Model_Path}» указывает путь к системной директории P-CAD «...P-CAD 2004\Lib\Sim».

Пример атрибута «SimFile» для биполярного транзистора:
SimFile {Model_Path}\Motorola\2N2222.mdl

Содержимое файла модели 2N2222.mdl (параметры модели):

```
.MODEL 2N2222 NPN (IS=81.2F NF=1 BF=195 VAF=98.6  
IKF=0.48 ISE=53.7P NE=2  
+ BR=4 NR=1 VAR=20 IKR=0.72 RE=64.4M RB=0.258  
RC=25.8M XTB=1.5  
+ CJE=89.5P VJE=1.1 MJE=0.5 CJC=28.9P VJC=0.3  
MJC=0.3 TF=530P TR=368N)
```

Пример атрибута «SimFile» для аналоговой микросхемы:
SimFile {Model_Path}\Misc\555.ckt

Фрагмент файла модели 555.ckt (описание макромодели):

```
* Gnd  
* | Trig  
* | | Out  
* | | |  
.SUBCKT 555 1 2 3 4 5 6 7 8  
EREF 15 1 8 1.5  
GSOURCE 8 3 8 26 12.5E-3  
GSINK 3 1 26 1 67E-3  
VD1 8 27 DC .8  
VD2 28 1 DC .85  
VREF 30 1 DC 1.2  
C1 29 1 700E-15  
RREF2 30 1 100E3  
RREF 15 1 100E3  
ROUT 3 1 100K  
R1 6 1 500E9  
R2 2 1 500E9  
...  
D15 3 27 DMOD  
M1 7 29 1 1 MOSMOD  
.MODEL MOSMOD NMOS (LEVEL=1 KP=1 VTO=1 RD=5)  
.MODEL DMOD D (RS=1E-6)  
.MODEL DMOD1 D (RS=1E-6 IS=1E-9)  
.ENDS 555
```

Для моделей цифровых микросхем в атрибуте «SimFile» указывается не сам файл модели, а ссылка на файл модели *.txt или *.scb. Эта ссылка оформляется в виде файла *.mdl.

Пример атрибута «SimFile» для цифровой микросхемы:
SimFile {Model_Path}\Texas Instruments\SN74LS112A.mdl

Содержимое файла *.mdl для цифровой микросхемы SN74LS112A.mdl (описание ссылки на модель LS76A в файле LS.scb):

```
.MODEL SN74LS112A xsimcode(file=>{MODEL_PATH}\LS.SCB)  
func=ls76a {mntymx}
```

Моделирование электрических схем

Моделирование начинается с выполнения команды «Simulate>Setup» в главном меню P-CAD Schematic. После выполнения этой команды управление передается в систему Altium Designer 2004.

При входе в систему моделирования на экран выводится диалоговое окно «Analyses Setup» (рис. 3). В этом окне задаются необходимые виды анализа и выбираются схемные переменные, т. е. напряжения в узлах схемы, токи в цепях схемы, комплексные сопротивления, рассеиваемые мощности на элементах схемы, для их сохранения в файле результатов и графического отображения.

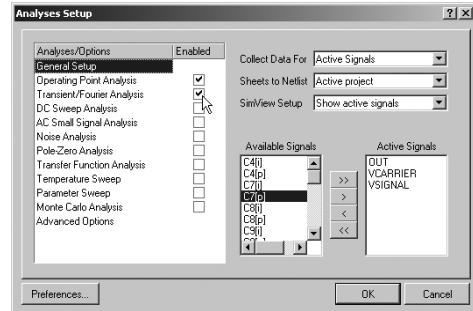


Рис. 3.

Для задания вида анализа в поле «Analyses/Options» выбирается один или несколько видов анализа, отмечая необходимые опции в колонке «Enabled»:

Operating Point Analysis — расчет режима работы по постоянному току (расчет «рабочей точки») при линеаризации моделей нелинейных компонентов;

Transient/Fourier Analysis — анализ переходных процессов и спектральный анализ;

AC Small Signal Analysis — частотный анализ в режиме малых сигналов (для нелинейных схем выполняется в линеаризованном режиме в окрестности рабочей точки по постоянному току);

DC Sweep Analysis — расчет режима по постоянному току при вариации одного или двух источников постоянного напряжения или тока;

Noise Analysis — расчет спектральной плотности внутреннего шума;

Transfer Function Analysis — расчет передаточных функций в режиме малых сигналов;

Temperature Sweep — режим изменения температуры;

Parameter Sweep — изменение параметров элементов;

Monte Carlo Analysis — статистический анализ по методу Монте-Карло.

Выбор схемных переменных для их сохранения в файле результатов и графического отображения производится при выборе «General Setup» в поле «Analyses/Options». Режим сохранения данных о схемных переменных при моделировании выбирается в поле «Collect Data For».

Возможные варианты выбора режима сохранения данных:

Node Voltage and Supply Current — потенциалы всех узлов и токи всех источников;

Node Voltage, Supply and Device Current — потенциалы всех узлов, токи всех источников и компонентов;

Node Voltage, Supply Current, Device Current and Power — потенциалы всех узлов, токи всех источников и компонентов, рассеиваемая во всех компонентах мощность;

Node Voltage, Supply Current and Subcircuit VARs — потенциалы всех узлов, токи всех источников в основной схеме и макромоделях;

Active Signals — выбранные сигналы (только те, имена которых помещены на панели «Active Signals»).

При моделировании достаточно больших схем рекомендуется выбирать режим сохранения данных «Active Signals», т. к. только в этом случае можно обеспечить минимальный размер файла результатов моделирования.

В поле «SimView Setup» необходимо выбрать «Show active signals». В поле «Available Signals» приводится перечень всех сигналов, доступных в соответствии с выбранным режимом (при выборе режима сохранения «Active Signals» перечень содержит все типы схемных переменных). В поле «Active Signals» приводится перечень сигналов, графики которых строятся по окончании моделирования.

Из одного поля в другое все сигналы переносятся нажатием клавиш (>>) и (<<). Выбранные правой кнопкой мыши сигналы переносятся нажатием кнопок (>) и (<). Позже, при необходимости, состав графиков можно изменить.

Дополнительные обозначения в поле «Available Signals»:

#branch — ток через источник напряжения;

[i] — ток через двухполюсный компонент;

[p] — рассеиваемая мощность;


[z] — модуль комплексного сопротивления (равного отношению ЭДС сигнала к току через источник сигнала);

[ib] — ток базы транзистора;

[ic] — ток коллектора транзистора;

[ie] — ток эмиттера транзистора.

Задание параметров режимов моделирования производится выбором соответствующей строки в поле «Analyses/Options». Режим Operating Point Analysis параметров не имеет.

После выбора всех необходимых видов анализа и задания их режимов, необходимо закрыть окно выбора режимов «Analyses Setup», нажав кнопку «OK» и ввести команду «Simulate>Run». Если моделирование производится при ранее сформированном и сохраненном задании на моделирование, то достаточно ввести команду «Simulate>Run» из главного меню P-CAD Schematic. После выполнения этой команды управление передается в программу моделирования системы Altium Designer 2004 и производится моделирование схемы с выводом на экран в процессе моделирования результатов в виде графиков. Прервать процесс моделирования до его завершения можно, нажав на пиктограмму  «Abort Simulation».

Рассмотрим несколько примеров моделирования электрических схем с наиболее часто применяемыми видами анализа.

Анализ переходных процессов (Transient Analysis)

Сигналы, получаемые в результате анализа переходных процессов (Transient Analysis), являются результатом вычисления схемных переменных (напряжений и токов), как функций времени на заданном временном интервале. Перед моделированием переходных процессов, автоматически производится расчет рабочих точек Operating Point Analysis.

Задание на расчет переходных процессов устанавливается в области Transient/Fourier Analysis Setup окна выбора режимов Analyses Setup при включенной и выбранной опции Transient/Fourier Analysis (рис. 4).

В этой области задаются общие параметры задания на расчет переходных процессов:

Transient Start Time — начальное время отображения результатов моделирования (моделирование всегда начинается в момент времени $t = 0$, однако до момента Start

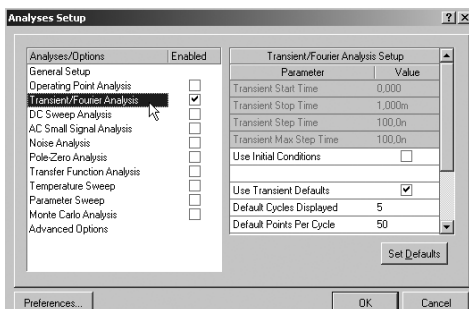


Рис. 4.

Time его результаты не отображаются на экране, не сохраняются и не участвуют в спектральном анализе;

Transient Stop Time — конечное время моделирования;

Transient Step Time — начальный шаг по времени (в процессе моделирования величина текущего шага выбирается автоматически, но не более, чем Maximum Step);

Transient Max Step Time — максимальный шаг по времени. По умолчанию он выбирается равным меньшей из величин Transient Step Time и $(\text{Transient Stop Time} - \text{Transient Start Time})/50$;

Use Initial Conditions — использование начальных условий (при включении этой опции расчет режима по постоянному току пропускается, а начальные условия устанавливаются на схеме для каждого реактивного компонента или для схемы в целом с помощью специальных компонентов IC).

При необходимости автоматического выбора перечисленных выше параметров (кроме Use Initial Conditions), можно воспользоваться опцией Use Transient Defaults — назначить параметры по умолчанию, включив ее. При этом ручное редактирование этих параметров становится недоступным (как показано на рис. 4) и необходимо задать параметры, устанавливаемые по умолчанию:

Default Cycles Displayed — количество отображаемых периодов имеющегося в схеме источника сигнала с наименьшей частотой Fmin (наибольшим периодом Tmax);

Default Points per Cycle — минимальное количество расчетных точек на одном периоде имеющегося в схеме источника сигнала с наивысшей частотой Tmax (наименьшим периодом Tmin).

После задания параметров этих параметров необходимо нажать панель Set Defaults — установить в данный момент значения параметров по умолчанию, для их автоматического вычисления и установки.

При использовании установки по умолчанию автоматически вычисляются следующие значения параметров:

Transient Start Time = 0;

Transient Stop Time = $(1 / F_{\min}) \cdot \text{Default Cycles Displayed} = T_{\max} \cdot \text{Default Cycles Displayed}$;

Transient Step Time = $(1 / F_{\max}) / \text{Default Points per Cycle} = T_{\min} / \text{Default Points per Cycle}$;

Transient Max Step Time = Transient Step Time.

Например, если в схеме имеются два источника импульсов с периодом **1 мс** и **0.5 мс**, то в этом случае при задании параметров Default Cycles Displayed = 5 и Default Points per Cycle = **50**, будут установлены:

Transient Start Time = 0;

Transient Stop Time = $1 \text{ мс} \times 5 = 5 \text{ мс}$;

Transient Step Time = $0.5 \text{ мс} / 50 = 0.01 \text{ мс} = 10 \text{ нс}$;

Transient Max Step Time = 10 нс.

На рис. 5 приведены результаты моделирования схемы Amplified Modulator.SCH, из примера в «P-CAD 2004\Demo\Circuit Simulation\Amplified Modulator\», задание на моделирование для которой приведено на рис. 4.

Для изменения задания на моделирование следует перейти на вкладку с файлом сформированного списка соединений*.nsx (в приведенном примере это вкладка «Amplified Modulator.nsx») и ввести команду «Simulate>Setup».

Задание начальных условий (Initial Conditions) при проведении анализа переходных процессов

В некоторых случаях, например при проектировании неустойчивых и бистабильных схем, перед выполнением моделирования может потребоваться предварительная

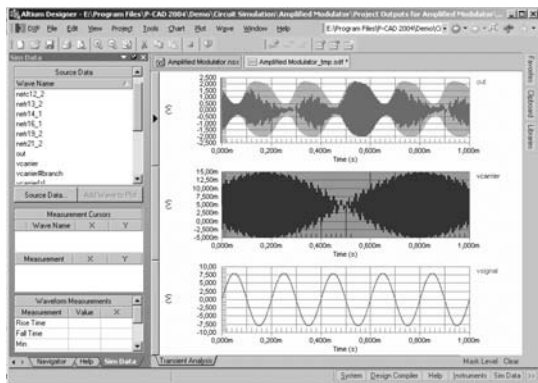
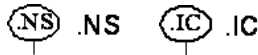


Рис. 5.

установка значений напряжений в узлах схемы. Программа моделирования содержит для этого несколько инструментов, включая модули установки параметров узла **.NS** (Nodeset) и начальных условий **.IC** (Initial Condition), а также опцию установки начальных условий **Use Initial Condition**. Модули установки параметров узла (.NS) и начальных условий (.IC)



расположены в: «...\P-CAD 2004\Lib\Simulation Control Statement.lib». Для этих модулей задается только одна величина — напряжение. Для задания этой величины, в свойствах компонента модуля «Part Properties» на вкладке «Symbol» ввести величину параметра «Value» в единицах напряжения.

Модуль установки параметров узла .NS используется для задания начального напряжения в узле схемы во время предварительного прохода расчета рабочих точек. После предварительного прохода ограничения снимаются и итерации продолжаются до получения правильного значения смещения. При помещении модуля .NS необходимо задать в параметре Value амплитуду напряжения в узле (например 12В). Каждый модуль установки параметров узла должен иметь уникальное позиционное обозначение.

Модуль задания начальных условий .IC используется для установки временных начальных условий. Способ, которым программа моделирования определяет начальные условия, зависит от .IC модулей и устанавливается опцией Use Initial Conditions.

Влияние опции «использования начальных условий» (Use Initial Conditions) на алгоритм моделирования схемы

Если опция **Use Initial Conditions** не включена на этапе расчета рабочих точек, напряжение в узле определяется значением, задаваемым .IC модулем. Во время последующего анализа переходных процессов это ограничение снимается. Этот метод является предпочтительным, так как позволяет программе моделирования получить правильное решение по постоянному току. При помещении модуля .IC необходимо задать в параметре Value амплитуду напряжения в узле (например 5В). Каждый модуль задания начальных условий должен иметь уникальное позиционное обозначение.

В случае **установки** опции **Use Initial Conditions**, расчет рабочих точек не производится. Вместо этого напряжения в узлах определяются .IC модулями, которые используются

при вычислении начальных условий для конденсаторов, диодов, биполярных, полевых и МОП транзисторов. Поскольку расчет рабочих точек не производится, необходимо установить соответствующие значения напряжения для всех узлов.

Необходимость использования опции Use Initial Conditions

При включении опции **Use Initial Conditions** моделирование переходных процессов начинается с заданных начальных условий, минуя этап расчета рабочих точек. Эта опция позволяет начинать моделирование переходных процессов со значений, отличающихся от статических рабочих точек. Для использования этой опции необходимо или определить начальные условия для каждого компонента схемы, или разместить на схеме специальные модули .IC, определяющие начальные условия, заданные в атрибуте Value. Если у какого-либо компонента начальные условия не определены, они берутся равными нулю. Обычно, лучшим способом задания начальных условий для анализа переходных процессов, является использование модулей .IC.

Следует отметить, что значения начальных условий, заданные для компонентов, имеют более низкий приоритет

Таблица 2.

Компонент	Назначение атрибута IC
Конденсатор (Capacitor)	Напряжение на конденсаторе в нулевой момент времени.
Катушка индуктивности (Inductor)	Ток, протекающий через индуктивность в нулевой момент времени.
Диод (Diode)	Напряжение на диоде в нулевой момент времени.
Биполярный транзистор (BJT)	Напряжения база-эмиттер (U_{be}) и коллектор-эмиттер (U_{ce}) в нулевой момент времени (два значения, разделённые запятой).
Полевой транзистор с управляющим р-п переходом (JFET)	Напряжения сток-исток (U_{ds}) и затвор-исток (U_{gs}) в нулевой момент времени (два значения, разделённые запятой).
МОП — транзистор (MOSFET)	Напряжения сток-исток (U_{ds}), затвор-исток (U_{gs}) и подложка-исток (U_{bs}) в нулевой момент времени (три значения, разделённые запятой).
Полевой транзистор с барьером Шоттки (MESFET)	Напряжения сток-исток (U_{ds}) и затвор-исток (U_{gs}) в нулевой момент времени (два значения, разделённые запятой).
Линии передачи (Transmission Lines)	Напряжение и ток для каждого порта линии передачи в нулевой момент времени (два значения, разделённые запятой).

по сравнению со значениями, заданными в модулях .IC, подсоединенных к тем же цепям.

При необходимости определения начальных условий непосредственно в компонентах схемы, например начальное значение напряжения на конденсаторе, необходимо задать начальные условия в атрибуте IC этих компонентов.

Атрибуты IC, заданные в компонентах, действуют только при установленной опции **Use Initial Conditions**. Назначение атрибутов задания начальных условий в компонентах приведено в таблице 2.

Частотный анализ в режиме малых сигналов (AC Small Signal Analysis)

Задание на частотный анализ (AC — анализ) устанавливается в области AC Small Signal Analysis Setup окна выбора режимов **Analyses Setup** при включенной и выбранной опции **AC Small Signal Analysis** (рис. 6).

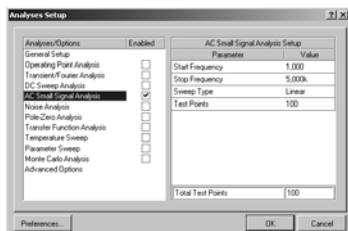


Рис. 6.

Перед выполнением AC — анализа автоматически производится расчет режима по постоянному току и линеаризация всех нелинейных компонентов. Источниками гармонического сигнала служат независимые источники напряжения или тока, в том числе и постоянного, символы которых должны иметь атрибуты амплитуды **AC Magnitude** со значением в вольтах и фазы **AC Phase** со значением в градусах. В схеме должен быть по крайней мере один такой источник. Во время моделирования этот источник заменяется генератором синусоидального сигнала с параметрами, заданными в атрибутах AC Magnitude и AC Phase. Частота этого сигнала в процессе расчета меняется в заданных пределах. Для получения амплитудно-частотных характеристик (АЧХ) относительно 0 дБ, т. е. коэффициентов передачи по напряжению, нужно установить параметр источника входного сигнала **AC Magnitude = 1**.

Параметры для расчета частотных характеристик:

Start Frequency — начальная частота построения частотных характеристик (значение частоты должно быть больше нуля);

Stop Frequency — конечная частота построения частотных характеристик;

Test Points — количество расчетных точек, определяющее шаг изменения частоты.

В поле **Sweep Type** выбирается тип изменения частоты:

Linear — линейный; при этом количество расчетных точек, заданное параметром **Test Points**, распространяется на весь диапазон изменения частоты;

Decade — логарифмический; декадами, при этом количество расчетных точек, заданное параметром **Test Points**, распространяется на декаду;

Octave — логарифмический; октавами, при этом количество расчетных точек, заданное параметром **Test Points**, распространяется на октаву.

Общее количество расчетных точек в диапазоне частот оценивается программой и указывается на строке **Total Test Points**.

На рис. 7 приведены результаты моделирования схемы **Bandpass Filter.SCH**, из примера в «\P-CAD 2004\Demo\Circuit Simulation\Bandpass Filter\Bandpass Filters\», задание на моделирование для которой приведено на рис. 6.

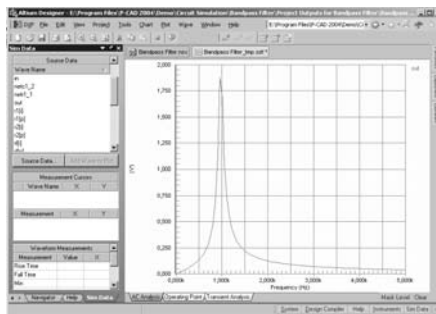


Рис. 7.

После моделирования схемы в режиме AC-анализа результаты выводятся на экран только в виде амплитудно-частотных характеристик (АЧХ) для заданных схемных переменных. Чтобы отобразить на экране соответствующие им фазово-частотные характеристики (ФЧХ), необходимо проделать ряд дополнительных операций для каждой схемной переменной:

1) Создать новую область для размещения графика ФЧХ командой «Plot>New Plot».

2) Пройти все 4 шага создания новой области графика в окнах **Plot Wizard**, ничего не задавая в этих окнах, а только нажимая панель «Next>» и «Finish» (на завершающем этапе «Plot Wizard — Finish»).

3) После завершения работы с **Plot Wizard** сделать новую область текущей (обычно она становится текущей сразу после создания). Вызвать команду добавления нового графика «Wave>Add Wave».

В диалоговом окне **Add Wave To Plot** — добавить график в область вывода (рис. 8), в поле **Waveforms** щелкнуть клавишей мыши на имени требуемой переменной для появления этого имени в поле **Expression**. Затем в поле **Complex Functions** выбрать опцию **Phase (Deg)** — фаза в градусах, и нажать панель **Create** — создать. Результат этих действий приведен на рис. 9.



Рис. 8.

Обработка ошибок, возникающих при моделировании

Большинство проблем, возникающих при моделировании, связано со сходимостью. Подобно большинству программ моделирования, программа SPICE, выполняющая расчет режима по постоянному току, использует итерационный метод решения системы уравнений, описывающей схему. Если модулю не удастся рассчитать напряжения

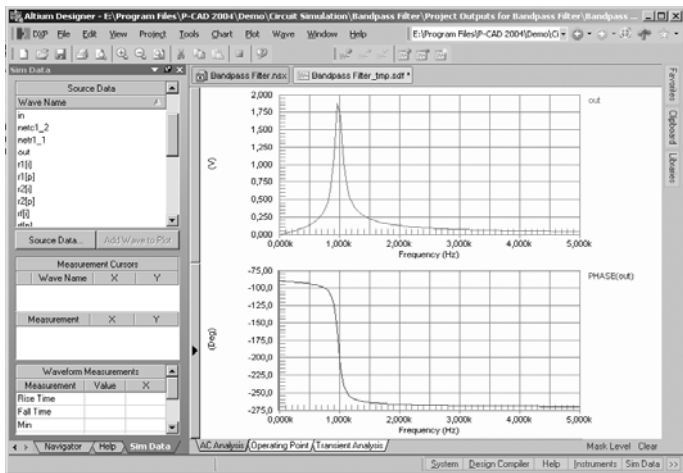


Рис. 9.

и токи в статическом режиме, то дальнейший анализ цепи невозможен.

Для определения постоянных напряжений и токов в рабочей точке цепи, на каждом шаге моделирования программа SPICE решает систему линейных уравнений, выраженную в матричной форме. При наличии в цепи нелинейных элементов программа SPICE для расчета нелинейностей использует итерационный процесс решения системы линейных уравнений. Программа берет начальное приближение напряжений в узлах схемы, затем на основе проводимостей цепей рассчитывает токи ветвей. После этого происходит пересчет узловых напряжений и процесс повторяется снова. Этот итерационный процесс будет продолжаться до тех пор, пока все узловые напряжения и токи ветвей не достигнут заданной точности вычисления, т. е. пока процесс не сойдется.

Если процесс расчета напряжений и токов не сойдется за заданное количество итераций, программа моделирования генерирует сообщение об ошибке, например:

- «singular matrix» — вырожденная матрица;
- «Gmin stepping failed» — сбой метода пошагового изменения минимальной проводимости;
- «source stepping failed» — сбой метода пошагового изменения сигналов источников;
- «iteration limit reached» — достигнуто предельное число итераций, и прерывает процесс моделирования.

Программа SPICE использует результаты моделирования на данном временном шаге в качестве начальных

приближений для следующего шага. Если процесс не может сойтись при анализе переходных процессов (пошаговое изменение времени), шаг приращения времени автоматически уменьшается и цикл вычислений повторяется. Когда шаг по времени достигнет своего минимального значения, программа моделирования выдаст сообщение:

«timestep too small» — слишком маленький шаг по времени.

Для настройки алгоритмов моделирования используются системные переменные программы SPICE, доступ к которым осуществляется из диалогового окна Analyses Setup.

В поле «Analyses/Options» окна Analyses Setup выбирается опция Advanced Options (рис. 10), при этом в правой части окна появится список системных переменных Spice Options. Наличие в позиции Def символа «?» означает, что значение переменной установлено по умолчанию (стандартное значение).

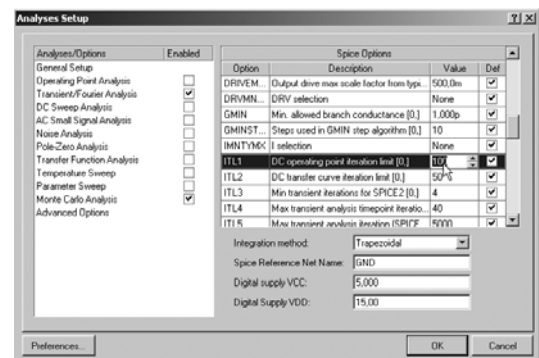


Рис. 10.

Для корректировки системной переменной, необходимо выбрать её в списке, щелкнуть правой кнопкой мыши в позиции Value выделенной строки и ввести новое значение. Затем нажать клавишу «Enter» на клавиатуре.

Для восстановления принятого по умолчанию значения системной переменной, необходимо выбрать её и в позиции Def выбранной строки щелкнуть правой клавишей мыши. В этой позиции должен появиться символ «√», а значение переменной должно измениться на стандартное.

Кроме того в поле «Integration method:» можно изменить метод интегрирования. По умолчанию задан метод трапеций (Trapezoidal).

Список системных переменных, значения которых можно корректировать в случае несходимости результатов моделирования, приведены в таблице 3. Стандартные настройки

Таблица 3. Основные переменные системы моделирования, влияющие на процесс сходимости

Имя переменной	Описание	Размерность	Значение по умолчанию
ABSTOL	Абсолютная допустимая ошибка расчёта токов.	A	10^{-12}
GMIN	Минимальная проводимость ветви цепи.	1/Ом	10^{-12}
ITL1	Максимальное количество итераций при расчёте по постоянному току.	—	100
ITL2	Максимальное количество итераций при расчёте передаточных функций по постоянному току при переходе к следующей точке.	—	50
ITL4	Максимальное количество итераций на каждом временном шаге при анализе переходных процессов.	—	40
RELTOL	Максимально допустимая относительная ошибка при расчётах напряжений и токов при анализе переходных процессов.	—	10^{-3}
VNTOL	Абсолютная допустимая ошибка расчёта напряжений.	B	10^{-6}

остальных переменных **изменять не рекомендуется**.

Таблица 3. показывает основные переменные системы моделирования, влияющие на процесс сходимости.

Рекомендации по решению проблемы сходимости

Приведенные ниже рекомендации помогут решить проблемы сходимости. Изменение системных переменных следует проводить в соответствии с указанной последовательностью.

Устранение ошибок, возникающих при расчете рабочих точек и анализе схемы по постоянному току:

1. Увеличить значение **ITL1** до 300.
2. Увеличить значение **GMIN** до 10–11.
3. Увеличить значение **ITL2** до 200.

Устранение ошибок, возникающих при анализе переходных процессов:

1. Установить значение **RELTOL** равным 0.01.
2. Увеличить значение **ITL4** до 100.
3. Увеличить значения **ABSTOL** и **VNTOL**. Устанавливаемые значения должны быть примерно на порядок меньше, чем минимальный предполагаемый уровень напряжений и токов в схеме.
4. Изменить метод интегрирования на **Gear** (метод прямоугольников). Этот метод интегрирования требует больше времени моделирования, но работает более стабильно, чем метод трапеций. Этот метод рекомендуется применять для схем генераторов и схем с обратными связями. ■

ЗАО "Многослойные печатные платы"

Производство печатных плат третьего, четвертого класса точности по третьей, четвертой группам жесткости эксплуатации

до 24 слоев!

Лидер производства многослойных печатных плат четвертого класса точности

195299, г. Санкт-Петербург, ул. Киришская, 2
Тел./Факс: +7 812 596 5767
E-mail: pplaty@peterlink.ru <http://zaompp.h1.ru>

НОВОСТИ

Уважаемые разработчики!

Американская компания Applied Wave Research www.appwave.com анонсировала **новый продукт RFA**, предназначенный для моделирования телекоммуникационного оборудования на системном уровне.

Новый продукт RFA является дополнением системы Visual System Simulator и частью единой управляющей оболочки AWR Design Environment.

В основе RFA две технологии моделирования:

- **RF Budget Analysis™** — оценка качества оборудования на основе данных о мощности сигнала и помех, взаимодействия паразитных эффектов.
- **RF Inspector™** — анализ в частотной области с целью оценки конверсии, гармоник, интермодуляций и шумов.

Презентация возможностей RFA состоится на конференции European Microwave Week 2006 www.eumw2006.com

Конференция пройдет в Манчестере (Великобритания) с 12 по 14 сентября, в работе которой примет участие наша компания.

По завершению конференции European Microwave Week 2006, демонстрационные материалы о новом продукте RFA будут распространяться на ближайших выставках «CHIXPO» в Москве и «Радиоэлектроника» в Санкт-Петербурге.

Официальный пресс-релиз доступен на странице http://web.appwave.com/News_&_Events/Press_Releases/pdfs/56.pdf

По техническим вопросам и вопросам поставки обращайтесь к официальному дистрибьютору компании.

Applied Wave Research – компании ЗАО «НПП «РОДНИК» по телефону: +7 (495) 113 7001 и электронному адресу: info@rodnik.ru, www.rodnik.ru



Трассировка дифференциальных пар в САПР P-CAD 2006 и Altium Designer 6.0

Алексей Сабунин, sabunin@rodrnik.ru

Тенденции развития печатных плат говорят о постоянном увеличении скорости передачи информации, с которыми не справляются традиционные технологии проектирования. Устоявшиеся понятия о параллельных интерфейсных потоках не выполняются при скоростях выше 200 МГц из-за взаимодействия сигналов большого количества шин. Решением этой проблемы является применение последовательных интерфейсов, использующих передачу сигналов в дифференциальном виде и обеспечивающих необходимую скорость потока.

Дифференциальная передача сигналов, обеспечивает значительно более низкий уровень излучения, сокращает количество выводов устройств и сигнальных шин и предоставляет возможность передавать сигналы на относительно большие расстояния. Высокоскоростные тактовые сигналы компьютерных материнских плат и серверов передаются по дифференциальным линиям. Многочисленные устройства, такие как принтеры, коммутаторы, маршрутизаторы и сигнал-процессоры используют технологию низковольтной дифференциальной передачи сигналов LVDS (Low Voltage Differential Signaling).

Дифференциальная передача сигналов подразумевает передачу одинаковой информации по двум проводникам. При этом используются две шины, как минимум один передатчик (драйвер) с выходами позитивного и негативного сигналов и по одному приемнику (ресиверу) на каждый сигнал. Драйвер передает сигналы инверсно друг другу. В то время как позитивный выходной сигнал, совпадающий по фазе с входным сигналом драйвера, переходит из низкого уровня

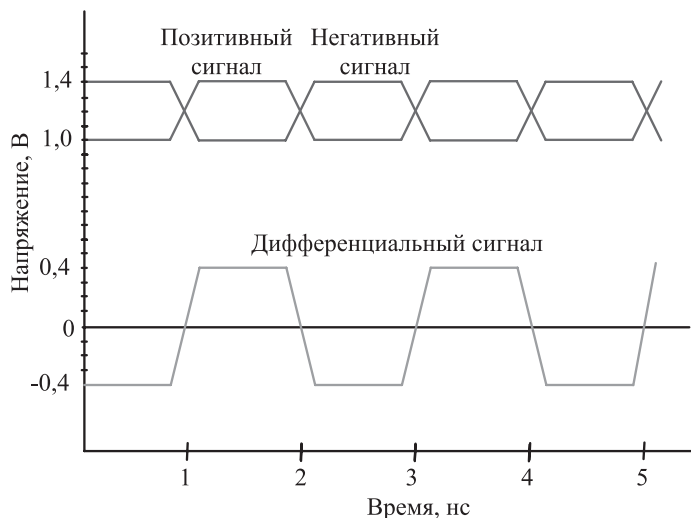


Рис. 1. Представление дифференциального сигнала

в высокий, негативный выходной сигнал, инверсный входному, переходит из высокого уровня в низкий. На рисунке 1 показаны два выходных сигнала драйвера и дифференциальный сигнал, вычисляемый как разность между позитивным и негативным сигналами.

Использование дифференциальной пары дает следующие преимущества:

1. Защищенность от шума. Так, как на оба дифференциальных сигнала действует одинаковый шум, то в результате получения разности позитивного и негативного сигнала этот шум будет нивелирован.

2. Нечувствительность к опорному напряжению. В дифференциальном сигнале всегда присутствует некоторый опорный уровень, позволяющий использовать его в случае, когда передатчик и приемник имеют различные общие напряжения питания (различные земли). Это также позволяет решить проблемы, связанные с нестабильностью напряжений общих выводов, и улучшить целостность сигналов.

3. Уменьшение излучаемых электромагнитных помех. Такие помехи возникают, в основном, во время переключения сигнала из одного состояния в другое. Поскольку оба дифференциальных сигнала переключаются одновременно, но противофазно, то возникающие излучения взаимно компенсируются. Кроме того, каждый из дифференциальных сигналов обычно имеет небольшую амплитуду (на рисунке 1 амплитуда составляет 0.4 В), поэтому уровень излучения также небольшой.

При трассировке дифференциальной пары рекомендуется руководствоваться следующими правилами:

- **ZOD = 100 Ом ± 10%.** Дифференциальный импеданс, являющийся одним из основных факторов. Индивидуальный импеданс каждого проводника также может быть специфицирован и обычно близок к 50 Ом. Расстояние между проводниками и/или ширина проводников тоже могут быть определены, но если не оговорен стек дифференциальных пар, то всегда по умолчанию используется значение дифференциального импеданса.

- **Проводники пары должны быть подобраны по длине с точностью 0.635 мм.** Более точное значение не играет особой роли, но может быть уменьшено при передаче сигналов с большой скоростью.

- **Расстояние между разными сигналами должно быть не менее 0.508 мм.** Это расстояние между одним из проводников дифференциальной пары и проводником, по которому передается другой сигнал. Необходимо увеличивать расстояние между двумя дифференциальными парами настолько, насколько возможно.

- **Проводники тактового сигнала и группового сигнала данных должны быть подобраны по длине с точностью 0.635 мм.** Более точное значение также не играет особой роли и зависит от скорости передачи.

- **Поддержание постоянного опорного напряжения.** Это означает удержание группового сигнала на одном слое с одним опорным напряжением. Дополнительные требования могут также предполагать ограничения в переходах на другие слои. (Под групповым сигналом здесь понимается несколько дифференциальных пар, объединённых одним тактовым сигналом и передающих схожую информацию.)

Кроме вышперечисленных правил следует уделить внимание следующим особенностям трассировки дифференциальных пар (рис. 2):

1. Проводники позитивного и негативного сигнала должны быть не только согласованы по длине, но и должны быть расположены максимально симметрично.



a) нежелательный вариант



b) предпочтительный вариант

Рис. 2. Варианты прокладки дифференциальных пар



a) несимметричный вариант



b) симметричный вариант

Рис. 3. Размещение отверстий дифференциальной пары

2. Симметрия разводки относится не только к проводникам, но и к переходным отверстиям (рис. 3).

3. Встречаются случаи, когда слой, отведенный под питание схемы, содержит несколько различных полигонов. Нежелательно, чтобы проводники высокоскоростных сигналов пересекали разрывы между полигонами, поскольку это может разорвать путь возвратного тока синфазного сигнала, ухудшить качественные показатели сигнала и увеличить электромагнитные помехи и «дрожание» потенциала питания и земли.

4. Рекомендуется предотвращать создание отводов от основного проводника, когда это осуществимо, потому что они могут также ухудшать качество сигнала и создавать дополнительные электромагнитные помехи.

5. Рекомендуется преобладание диагональной трассировки, так как при вертикальной и горизонтальной трассировке проводники будут параллельны текстуре текстолита. При этом появляется возможность попадания негативного и позитивного проводника на разные слои текстолита, которые обладают различной диэлектрической проницаемостью, что создаст различие в действии помех.

Разводка дифференциальных пар накладывает новые, довольно-таки сложные правила при проектировании печатных плат. Прежде всего, эти правила предъявляются к САПР печатных плат и требуют расширения их инструментария для реализации вышеописанных требований.

В САПР P-CAD 2006 трассировка дифференциальных пар является одним из основных преимуществ по сравнению с другими версиями данной системы. Работа с дифференциальными парами здесь ведется только в редакторе

печатных плат, т. е. на уровне схемы информация о дифференциальных парах не вносится.

Создание дифференциальной пары в PCB P-CAD 2006 выполняется по алгоритму создания класса цепей, из главного меню программы **Options>Net Classes**. В появившемся окне **Net Classes** (рис. 4), в поле **Class Name** вводим имя класса, например **Diff_Pair** и нажимаем кнопку **Add**, после чего в списке **Classes** появляется новый класс цепей. Теперь нужно определить данный класс цепей как дифференциальную пару, для чего включается опция **Differential Pair**, при этом в поле **Net Class Attributes** появляются два атрибута, присущие только дифференциальной паре. Первый из них (**IsDifferentialPair**) определяет класс цепей как дифференциальную пару и не требует значения параметра, второй (**DiffPairGap**) определяет зазор между проводниками пары. Двойной щелчок мыши на названии параметра **DiffPairGap** позволяет ввести его значение, оно должно

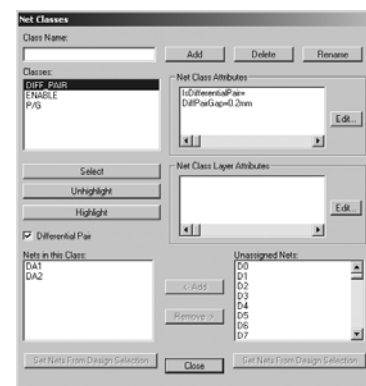


Рис. 4. Окно создания классов цепей



Рис. 5. Инструмент Diff Pair Route

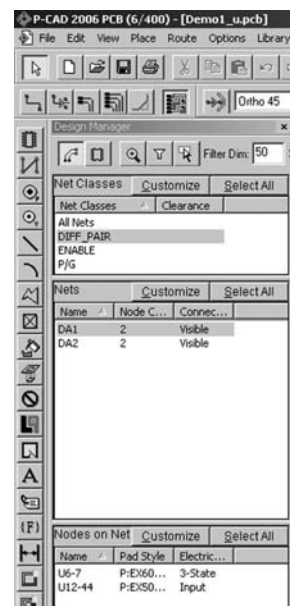


Рис. 6. Панель Design Manager

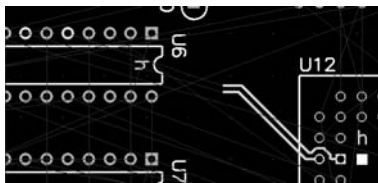


Рис. 7. Трассировка дифференциальной пары

быть по возможности минимальным. Последним этапом описания дифференциальной пары является указание пары проводников, которые выбираются из списка **Unassigned Nets** (необходимо выбрать только 2 проводника). Нажатием кнопки **Close** завершается процесс описания дифференциальной пары.

Трассировка дифференциальной пары осуществляется с помощью инструмента **Diff Pair Route** (рис. 5). После выбора данного инструмента необходимо выбрать одну из контактных площадок любой цепи входящей в пару. Для поиска дифференциальных пар по проекту можно воспользоваться панелью **Design Manager** (рис. 6), которая вызывается из меню **View> Design Manager**. В данной панели следует выбрать тип отображаемых элементов **Nets** и включить фильтр, после чего в списке **Net Classes** выбрать искомую дифференциальную пару, а в списке **Nets** выбрать одну из цепей пары. В результате произведенных действий на экране будет подсвечена одна цепь. Начнем трассировку найденной дифференциальной пары указанием одной из контактных площадок подсвеченной цепи. После этого все контактные площадки, которые соединяются данной парой будут выделены. Далее продолжится трассировка в обычном режиме. В режиме трассировки дифференциальной пары отсутствует возможность изменения режима ортогональности, поэтому разводку следует осуществлять очень внимательно, не забывая об указанных выше рекомендациях. Окончание трассировки выполняется нажатием левой клавиши на одной из оконечных контактных площадок, причем, если завершение трассы не возможно (например, проводники пары перекрещиваются), то программа не выдает сообщений. В данном случае стоит подвести пару с другой стороны к паре контактных площадок, что избавит от перекрещивания проводников, за счет их разворота. Таким образом в P-CAD для дифференциальной пары задается только одно специфицированное правило — зазор между двумя проводниками пары. Автоматическая трассировка дифференциальной пары не возможна.

В САПР Altium Designer, пришедшей на смену САПР Protel возможность трассировки дифференциальных пар стала доступна, начиная с версии 6.0. Здесь выполнен несколько иной подход: дифференциальная пара иницируется в редакторе схем с помощью специальных

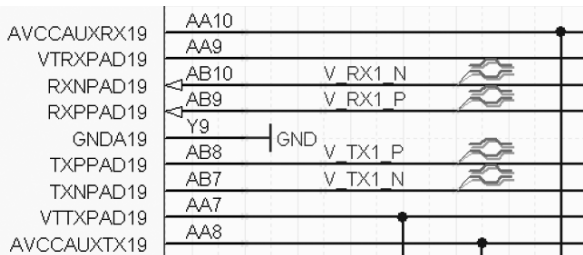


Рис. 8. Обозначение дифференциальной пары в редакторе схем САПР Altium Designer 6.0



Рис. 9. Изменение дифференциальных пар

разметок, а правила на её трассировку задаются в редакторе плат.

В редакторе схем обозначение дифференциальной пары выполняется в два этапа: во-первых с помощью команды **Place>Directives>Differential Pair** указывается парацепей, во-вторых с помощью меток цепи, указанные ранее цепи именуется, по правилу **NAME_P(N)**, где P(N) — позитивный (негативный) сигнал (см. рис. 8).

После компиляции и передачи проекта в редактор плат можно добавлять и изменять дифференциальные пары, а также задать правила для их трассировки. Для этого на панели PCB следует выбрать тип отображаемых объектов **Differential Pair Editor** (рис. 9). Для задания правил трассировки дифференциальной пары следует нажать кнопку **Rule Wizard** на панели PCB. Далее, следуя указаниям мастера настройки правил, поочередно задаются ширина проводников пары, ограничение длины и расстояния до изгиба, зазор между проводниками пары и максимальная длина сегмента проводника, огибающего переходное отверстие. Трассировка проводников пары осуществляется с помощью команды **Place>Differential Pair Routing**, в котором доступны практически все средства интерактивной трассировки единичных проводников в Altium Designer. В отличие от P-CAD здесь инструментарий при трассировке пар не урезан до минимума.

Набор правил для трассировки дифференциальных пар в программе Altium Designer 6.0 аналогичен соответствующему набору в программе Specctra 15.0. Отличие лишь в том, что в Specctra возможна автоматическая трассировка дифференциальной пары, в Altium Designer и P-CAD только ручная.

В завершение хотелось бы отметить, что дифференциальные пары, созданные в программе P-CAD 2006, передаются и в программу Specctra, и в Altium Designer, но при этом имеют лишь одно правило для трассировки — зазор между проводниками пары. При создании дифференциальных пар в Altium Designer имеется возможность указания гораздо большего количества правил, но заданная информация не передается ни в Specctra, ни в P-CAD. Таким образом, инструментарий Altium Designer гораздо шире аналогичного в P-CAD, и если разработчик не рассчитывает на последующее проектирование платы в Specctra, то преимущество в этом плане очевидно. ■

Интерактивная трассировка и трассировка дифференциальных пар

Юрий Ёлшин, info@rodnik.ru

Наиболее важным этапом процесса проектирования печатных плат является трассировка проводников. Эффективная трассировка требует от конструктора хорошо развитого пространственного мышления, основательного и методического подхода. В помощь конструктору Altium Designer предлагает множество интерактивных правил трассировки.

Обеспечение готовности к трассировке

После размещения компонентов на плате, вы готовы начать прокладку проводников. Перед использованием инструментария трассировки Altium Designer, давайте рассмотрим свойства, которые помогут вам управлять процессом трассировки.

Вы готовы к трассировке?

Утверждают, что проект печатной платы занимает 90% времени разработчика на размещение компонентов и 10% на трассировку проводников. Вы можете с этим согласиться или нет, но, в целом, считается, что правильное размещение компонентов является основой для успешной трассировки. Есть необходимость в тестовых прогонах автотрассировщика в плотных зонах с целью изменения размещения и улучшения условий трассируемости, когда учитываются такие факторы, как длина соединения, плотность соединений, присвоение направлений трасс на слоях и т. п. Человеку необходимо учитывать эти факторы, как например, при прокладке 16-ти вариантов прохода трасс между двумя компонентами, шумящие цепи должны трассироваться на отдельных парах слоёв с учётом их чувствительности и т. д.

Не разведенная печатная плата может показаться «ужасной» — масса проводников, перекрещивающихся на всей поверхности платы. Управление отображением проводников и установка цвета для них поможет в управлении процессом трассировки.

Ценным свойством редактора печатных плат является возможность маскирования или фильтрации объектов в рабочей области, т. е. можно убирать с экрана любую информацию. Установите режим панели PCB в Nets, который показывает список цепей на плате. После клика на имени цепи на панели, отображение рабочей области будет промасштабировано и затемнено, за исключением контактной площадки и цепи, эффективно выделяя эту цепь из остальных элементов платы. Отметим, что даже когда вы кликните на область маскирования, выбранная цепь будет по-прежнему отчетливо видна. Данная возможность обеспечивает простой и удобный контроль. Кликните закладку Clear внизу для очистки маски и восстановления всей рабочей области до нормальной яркости.

Как и индивидуальные цепи, вы можете маскировать класс цепей (если какие либо классы заданы), а также множество цепей (удержанием клавиши Ctrl, после клика на панели для выбора имени цепи).

Изменение цвета линии связи

При передаче схемотехнического проекта в редактор топологий печатных плат, каждой линии связи присваивается цвет, как это задано в диалоге Board Layers and Colors. Для того чтобы отредактировать цвет линии связи, достаточно дважды кликнуть на имени цепи на панели PCB для открытия диалога Edit Net.

Отображение линий связи

По команде View >> Connection вы можете полностью скрыть одну, две или все линии связи. Во время работы доступ к командам обеспечивается нажатием клавиши N.

Перед началом трассировки необходимо ввести проектные правила для трассировки. Мастер правил PCB Rules and Constraint Editor запускается по команде Design > Rules. Дерево мастера показывает 10 категорий правил (электрические, правила размещения, высокоскоростной обработки, вплоть до целостности сигналов). В каждой категории имеется ряд типов правил. Рис. 1 показывает 4 правила ширины трассы, заданные на плате.

Name	Priority	En...	Type	Category	Scope	Attributes
DiffPair Width	2	<input checked="" type="checkbox"/>	Width	Routing	InNet(DifferentialPair)	Pref Width = 0.2mm Min Width = 0.15mm
Net_GND	1	<input checked="" type="checkbox"/>	Width	Routing	InNet(GND)	Pref Width = 0.3mm Min Width = 0.2mm
Rocket IO Width	3	<input checked="" type="checkbox"/>	Width	Routing	InNetClass(ROCKET_IO_LINES)	Pref Width = 0.2mm Min Width = 0.15mm
Width	4	<input checked="" type="checkbox"/>	Width	Routing	All	Pref Width = 0.2mm Min Width = 0.127mm

Рис. 1. Окно правила ширины трасс

Каждое правило предлагает два уточнения: мои требования, результат. На примере вышеуказанного правила для ширины трасс, рассмотрим трассировку более детально.

Ограничения

Attributes on Layer			Layer Stack Hierarchy		Absolute Layer	
Min Width	Preferred Size	Max Width	Name	I. /	Name	Index
0.2mm	0.3mm	0.6mm	Top Layer	0	TopLayer	1
0.2mm	0.3mm	0.6mm	Mid_layer1	1	MidLayer1	2
0.2mm	0.3mm	0.6mm	Mid_layer2	2	MidLayer2	3
0.2mm	0.3mm	0.6mm	Mid_layer3	3	MidLayer3	4
0.2mm	0.3mm	0.6mm	Mid_layer4	4	MidLayer4	5
0.2mm	0.3mm	0.6mm	Bottom Layer	5	BottomLayer	32

Рис. 2. Ограничительные правила вводят уточнения для правил, например, что ширина трасс должна быть от 0.2 мм до 0.6 мм

Для правила ширины ограничениями являются минимальная, предпочтительная и максимальная ширина сегментов трассы, которые создаются при трассировке. Также отметим, что установки (минимальная, предпочтительная и максимальная) также могут быть заданы для каждого из слоёв на плате, предоставляя полный контроль над трассировкой платы. Полезно знать, что при нажатии клавиши TAB вы можете увеличивать или уменьшать ширину трассы при трассировке в пределах от минимума до максимума.

Обзор правил

Altium Designer имеет мощную и гибкую систему задания правил, дающую возможность точной спецификации проектных требований, сколь бы сложными они не были. Скорее, чем задание требований как атрибутов объектов, проектные правила задаются отдельно, а затем нацеливаются на объекты и применяются они через обзор правил.

Существует возможность точного задания каждого правила, в комбинации с возможностью присвоения каждому правилу приоритета, что даёт вам полный контроль над всеми проектными требованиями к печатной плате.

Рис. 3 показывает обзор правила проектной ширины трассы, которая затрагивает цепь GND. Если границы правила (**Full Query**) установлены для всех (*All*), то правила будут применены ко всем цепям на плате.



Рис. 3. Набор правил определяется вводом запроса, который указывает, на какие объекты это правило распространяется

Правила ограничивают запись запроса. Запрос фиксируется автоматически, если вы используете опции (в левой части), такие как **All**, **Net**, **Net Class** и т. п. Если вы имеете новые запросы, тогда следует обратиться к **Query Builder**, который выполнит процесс запроса и запишет его за вас.

Правило ширины

Наиболее востребованным правилом для трассировки является правило Ширины Трасс (Routing Width), которое определяет ширину сегментов трассируемого проводника. Проект должен содержать хотя бы одно такое правило для платы, с установкой минимальной ширины для трасс всей платы, а также установку для максимальной ширины, которая вам необходима. Лучшей практикой является установка одного правила, для самого большого числа цепей, с границей *All*.

Затем вы вводите дополнительные правила, ориентированные на отдельные цепи или классы цепей, такие как цепь GND, или класс цепей PowerNets (силовые цепи, если такой класс создан). Эти правила будут иметь высший приоритет. Правила ширины должны быть заданы перед началом трассировки.

Ограничения по зазорам

Следующим важным правилом является правило для зазора, которое задаёт близость трассы к другим объектам на плате. Вы можете задать множество правил для зазоров, для разрешения высокого напряжения между цепями или дифференциальными парами, для ввода зазора между объектами и экраном и т. п. Эти зазоры также необходимо задать перед трассировкой.

Установка слоёв трассировки

Трассировочные слои, также рассматриваемые как сигнальные слои, устанавливаются в менеджере стека слоёв (**Design > Layer Stack Manager**), как показано на рис. 4.

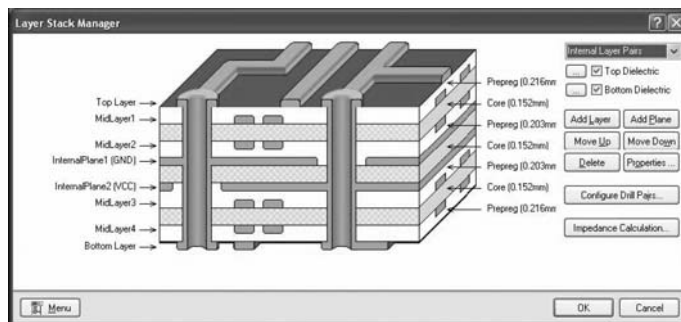


Рис. 4. Электрические слои, добавленные в менеджере стека слоёв

Используйте этот диалог для добавления слоёв и установки их позиции в стеке слоёв.

Отображение всех слоёв и добавление механических слоёв контролируется в диалоге Board Layers and Colors (нажмите L для его отображения), рис. 5.

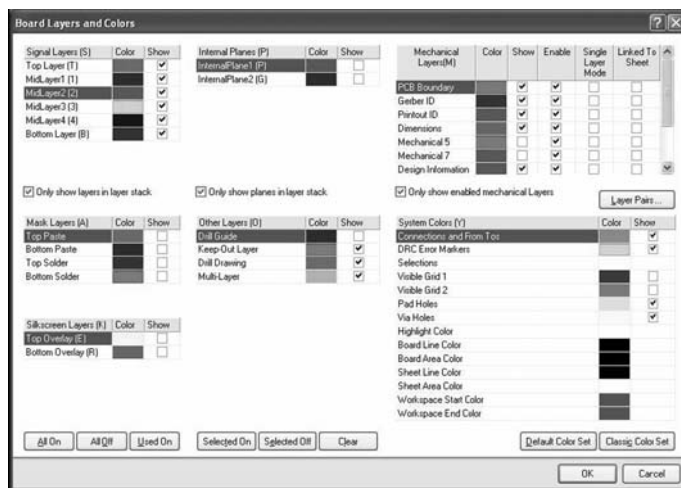


Рис. 5. Отображение всех слоёв контролируется в диалоге Board layers and Colors

Основы трассировки

По команде **Place > Interactive Routing** редактор печатных плат начнет трассировку с применением всех заданных правил проектирования, будет контролировать связность и обновлять линии связи после завершения трассы, будет поддерживать горячие клавиши режима трассировки, подобно нажатию клавиши (*) для перехода к следующему сигнальному слою, посредством введения переходного отверстия, соответствующего стилю переходного отверстия в конструкторских установках.

Интерактивная трассировка

Очень интересным свойством интерактивного трассировщика Altium Designer является свойство предвидения прокладки проводника. При выборе **Place > Interactive Routing**, на примере двух проводников, подключённых к курсору, один из которых представлен как сплошной цветной сегмент, а другой — как контур трассы, можно наблюдать этот процесс. Следующий клик позволит разместить сплошной сегмент, а контур предлагает путь следующего сегмента проводника и его предполагаемого пути. Рис. 6 детально это иллюстрирует. При желании вы можете отказаться от этого свойства (нажмите клавишу 1 для переключения).

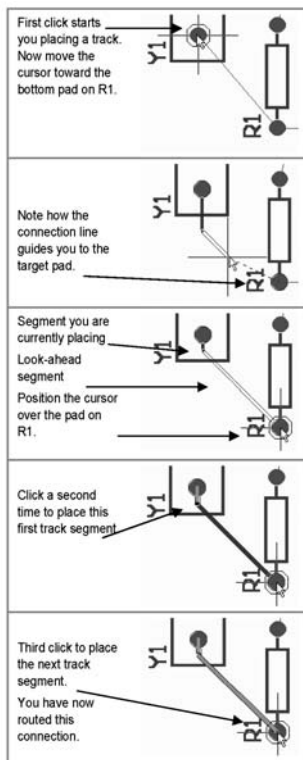


Рис. 6.

Расталкивание

Altium Designer предлагает различные режимы интерактивной трассировки, каждая из которых по-разному реагирует на существующие объекты при интерактивной трассировке.

Режим по умолчанию известен как **slam'n'jam**, означающий, что при трассировке вы можете «нанести удар по существующим объектам, без страха нарушить проектные правила», ваша трассировка будет автоматически воспринята, как соответствующая правилам. Более формальное имя такого режима **Avoid Obstacle** (избежать препятствие).

Имеется также режим **push'n'shove**, при котором система будет пытаться переместить существующую трассу и освободить путь для новой.

Третий режим, называемый **Ignore Obstacle** (игнорировать препятствие), позволяет поместить новую трассу поверх существующего объекта, просто его игнорировать. Установленные правила и сообщают вам о любых нарушениях.

Нажмите **Shift+R** для повторного запуска этих трёх режимов или перейдите на страницу **PCB — General** диалогом Preferences для замены установок.

Переходное отверстие для перехода со слоя на слой

Нажмите клавишу (*) для перехода в процессе трассировки на другой слой, и переходное отверстие будет введено автоматически, при этом его свойства будут соответствовать проектному правилу **Routing Via Style**.

Замена существующей трассы или удаление петли

При трассировке возникает немало ситуаций, требующих замены некоторых существующих трасс. Вместо попытки заменить существующую трассу традиционным образом — кликом и перетаскиванием сегмента трассы, вам

просто предоставляется возможность её перетрассировать. Для этого запустите команду **Place > Interactive Routing**, кликните на действующей трассе, которую вы хотите заменить, и проложите новый путь. Это создаст петлю из старого и нового путей, но при нажатии клавиши **ESC** система удалит старые ненужные сегменты, в том числе и излишние переходные отверстия. Это свойство называют **Loop Removal**.

Защита существующих трасс

Иногда работа по удалению петли выполняется вопреки вашим ожиданиям, например, при трассировке силовой цепи. Вы можете деактивировать удаление петли для любой цепи простым кликом на имени цепи на панели и очистить флажок **Remove Loops** в диалоге **Edit Net**.

Скользкая трасса — сохранение углов при перетаскивании сегмента трассы

Если перетрассировка не является лучшим решением, тогда вы можете вручную переместить сегмент трассы.

Для этого кликните один раз на сегменте, затем зафиксируйте и перетащите его на новую позицию. Если опция **Restrict to 90/45** на странице **PCB General** в диалоге Preferences активирована, тогда, при перетаскивании сегмента трассы с углом 45 градусов, смежные сегменты трасс сохраняются, обеспечивая качественную трассировку.

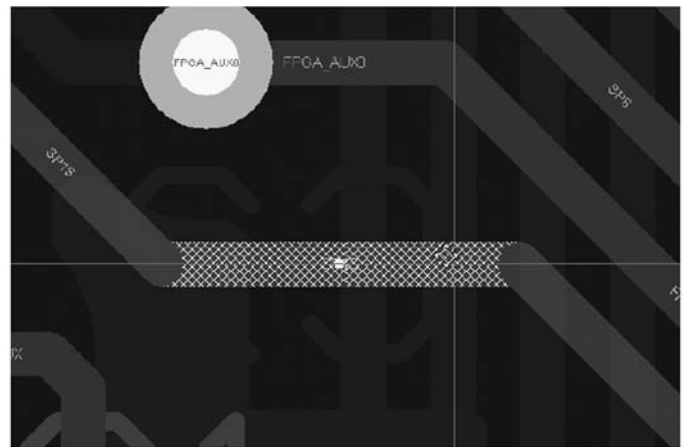


Рис. 7. Сохранение угла при перетаскивании сегмента трассы

Указатели для интерактивной трассировки

При интерактивной трассировке необходимо помнить следующее:

- Клик левой кнопки мышки (или нажатие **Enter**) размещает сегмент проводника в сплошном цвете. Сегмент проводника имеет цвет слоя.
- Клик правой кнопки мышки (или нажатие **Esc**) заканчивает трассировку действующей связи, оставляя пользователя в режиме трассировки, готовым к трассировке другой связи.
- Нажмите **Shift+Spacebar** (пробел) для повторного обхода различных режимов трассировки под углом.
- Нажмите **Пробел** для переключения между ортогональными режимами или режимом 45 градусов.
- Нажмите **Tab** для изменения ширины трассы.

- Нажмите клавишу **End** в любой момент для перерисовки экрана.
- Горячие клавиши **V, F** служат для перерисовки экрана и отображения всех объектов.
- Клавиши **PageUp** и **Page Down** служат для масштабирования и центрирования позиции курсора. Используйте колесо мышки для панорамирования вправо или влево. Удержание клавиши **Ctrl** позволяет использовать колесо мышки для масштабирования проекта.
- Нажмите Пробел для отмены размещения последнего сегмента трассы.
- Клавиша (**~**) служит для вывода списка горячих клавиш, доступных при трассировке.

Help	F1
Commit autocomplete segments (if applicable)	Ctrl+Click
Remove Last Segment or Shift+Backspace to remove last placed cluster	BkSp
Terminate Current Trace	Esc
Toggle Routing Mode	Shift+R
Choose Favorite Width	Shift+W
Place Segment	Enter
Next Layer	Num +
Previous Layer	Num -
Next Signal Layer	Num *
Cycle Placement Mode	Space
Edit Trace Properties	Tab
Cycle Track-Width Source	3
Cycle Via-Size Source	4
Toggle Auto Complete	5
Change Via mode	6
Switch Leader trace or switch routing target in single trace mode	7

Рис. 8. Нажмите клавишу (**~**) в процессе трассировки для вывода списка горячих клавиш

«Разумная» трассировка

Smart Routing — это название нового интерактивного режима трассировки в Altium Designer. «Разумная» трассировка работает с вами в интуитивном режиме, позволяя трассировать выбранное соединение кратчайшим путём, используя горизонтальные, вертикальные или диагональные сегменты, одновременно обходя любые препятствия на их пути. Smart Route автоматически выполняет всё соединение, если начальная и финишная точка находится на одном и том же слое, одновременно соблюдая любые доступные проектные правила.

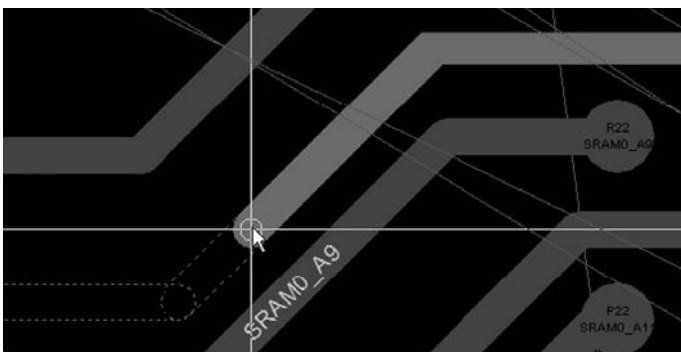


Рис. 9. Набор трасс, созданных в режиме Smart Routing, при этом каждая трасса требовала только одного клика для завершения трассировки

Укажите **Place >> Smart Connection Routing** из меню для запуска этого режима.

В связи с тем, что Smart Routing является интерактивным инструментом трассировки, вы контролируете его поведение с помощью курсора и встроенных горячих клавиш.

Трассировка дифференциальных пар

Фоновый режим

Дифференциальная сигнальная система является такой системой, когда сигнал передаётся по паре плотно расположенных трасс, одна из которых передаёт сигнал, а другая передаёт такой же сигнал в противофазе. Дифференциальная система была разработана для обслуживания ситуаций, когда логически рассматриваемая земля у источника сигнала не может быть хорошо связана с логической землёй на приемнике. Дифференциальная сигнальная система является по существу невосприимчивой к общему режиму электрического шума, в большинстве случаев являясь интерференционным артефактом, существующем в электронном продукте. Другим важным преимуществом дифференциальных пар является минимизация наводок (электромагнитной интерференции — EMI), генерируемых сигнальной парой.

Трассировка дифференциальной пары является проектным методом, разработанным для создания сбалансированной передающей системы для передачи дифференциальных сигналов (равных и оппозитных) с помощью проводников на печатной плате. Обычно такая дифференциальная трассировка будет взаимодействовать с внешней дифференциальной передающей системой, такой как соединитель и кабель.

Важно иметь в виду, что коэффициент парности, достигаемый в кабеле в виде витой дифференциальной пары может быть выше 99%, а парность печатных проводников в дифференциальной паре обычно меньше 50%. Современное мнение экспертов состоит в том, что задача трассировки печатных плат не пытается обеспечить желательный дифференциальный импеданс, скорее объективно устанавливает свойства, требуемые для обеспечения дифференциальных сигнальных характеристик в хороших условиях для целевого компонента, приближающих его к передаче из внешнего кабеля.

В соответствии с мнением Lee Ritchey, известного специалиста в промышленности высокоскоростных проектов печатных плат, успешное дифференциальное сигнальное решение не обязательно требуется при работе со специфическим дифференциальным импедансом. Что действительно требуется, так это:

- Установить каждый трассировочный сигнальный импеданс равным половине входящего дифференциального кабельного импеданса.

- Тогда каждая из двух сигнальных линий должным образом ограничивается своим собственным характеристическим импедансом на приёмном конце.

- Тогда две линии должны быть равными по длине, в пределах допусков логического семейства. Обычно разница по длине в 500 миллов является допустимой.

- Используйте достоинства трассировки двух сигналов, для достижения высокого качества трассировки при сравнимых длинах, при этом является допустимым разделение пары при обходе препятствий.

- Допускается переход со слоя на слой, поскольку это не затрагивает установленный импеданс.

Задание дифференциальных пар на схеме

Пары могут быть заданы на схеме с помощью директивы Дифференциальной пары (**Place >> Directive**) для каждой цепи в паре. Пара цепей должна иметь имя с суффиксами `_N` и `_P` (рис. 10). Размещение директивы дифференциальной пары на каждой паре цепей, присваивает параметр цепи, который является именем параметра **DifferentialPair** и значением **True**.

Определения дифференциальных пар затем передаются в PCB в процессе синхронизации.

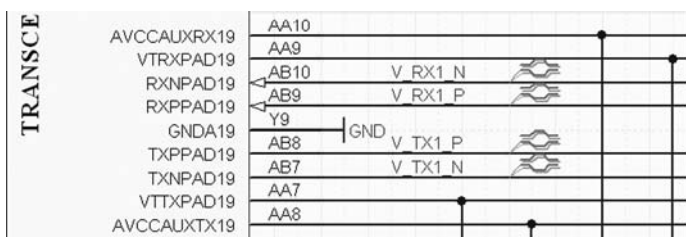


Рис. 10. Размещение директивы на схеме для определения дифференциальных пар

Определение дифференциальных пар в печатных платах

Для создания объекта дифференциальной пары запустите команду **Place > Differential Pair**, или кликните **Create From Nets** на панели редактора при условии установки нового режима **Differential Pair Editor**.

На рис. 11 показана схема задания имени пары и обозначения каждой из цепей.

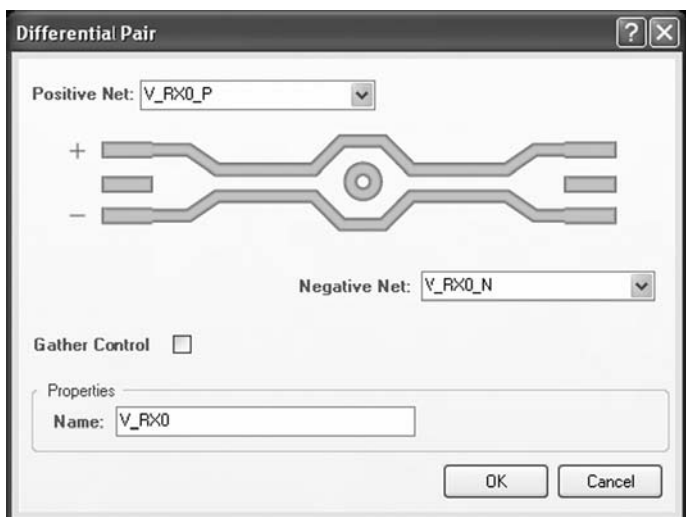


Рис. 11. Создание дифференциальной пары с помощью диалога

Кликом **Create From Nets** на панели редактора откроется диалог *Create Differential Pairs From Nets*. Этот диалог очень просто создаёт пары, если имена цепей используют соглашения по именованию с общим префиксом, за которым следует постоянный позитивный или негативный суффикс, например `TX0_P` и `TX0_N`. Используйте фильтры в верхней части диалога для представления пары цепей, основываясь на существующих именах цепей.

Рис. 12 показывает набор цепей ДП на плате, которые заканчиваются символами `_P` и `_N`.

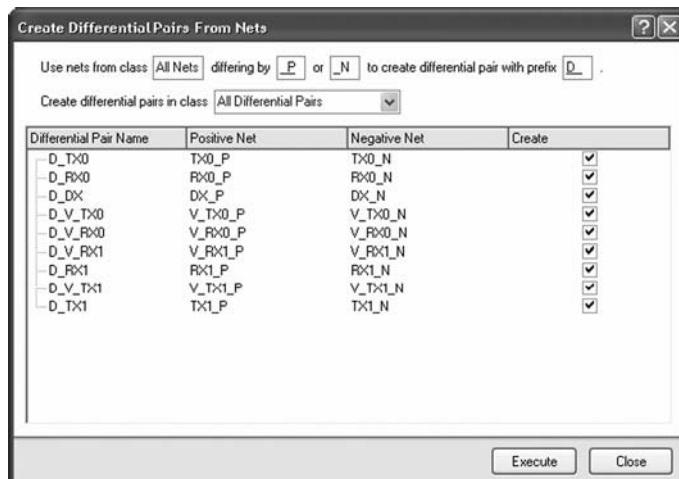


Рис. 12. Создание пары для всей платы, на основе имени цепи

Просмотр и управление

Дифференциальные пары просматриваются и управляются редактором **Differential Pairs Editor**. Рис. 13 показывает пары, которые принадлежат классу **All Differential Pairs**. Пара `D_V_TX1` подсвечена, цепями этой пары являются `V_TX1N` и `V_TX1P`. Символы (+) и (-), отображаемые рядом с каждой цепью являются системными флажками, показывающими позитивную или негативную цепь.

Применимые проектные правила

Есть 3 проектных правила для дифференциальных пар:

- **Ширина дифференциальных трасс** — задание ширины трасс требуется для обеих цепей в паре.
- **Трассировка** — определение расстояния между парой, разрешённый зазор и допустимую длину непарности (пара является не спаренной, если зазор шире, чем установленный максимальный зазор).
- **Сравниваемая длина цепи** — определяет допустимую разницу в длинах цепей в парах. Заметим, что правило также используется для конфигурирования формы трасс с помощью команды **Equalize Net Length** (сравнивая длина цепи).

Установка ограничений

В редакторе существует возможность задания следующих ограничений:

- **InDifferentialPairClass('All Differential Pairs')** — рассматривает все цепи всех пар, принадлежащих к классу, называемых **All Differential Pairs**.
- **IndifferentialPair('D_V_TX1')** — рассматривает обе цепи в паре с именем `D_V_TX1`.
- **(IsDifferentialPair And (Name = 'D_V_TX1'))** — рассматривает объект пары с именем `D_V_TX1`.
- **(IsDifferentialPair And (Name Like 'D*'))** — рассматривает все объекты пары с именами, например, начинающимися с буквы **D**.

Трассировка дифференциальной пары — это трассировка двух цепей одновременно. Запустите команду **Place > Smart Diff Pair Routing**. Рис. 14 показывает пару в начале трассировки. Для получения подсказок и облегчения её видимости, кликните на паре маскировки других цепей в проекте.

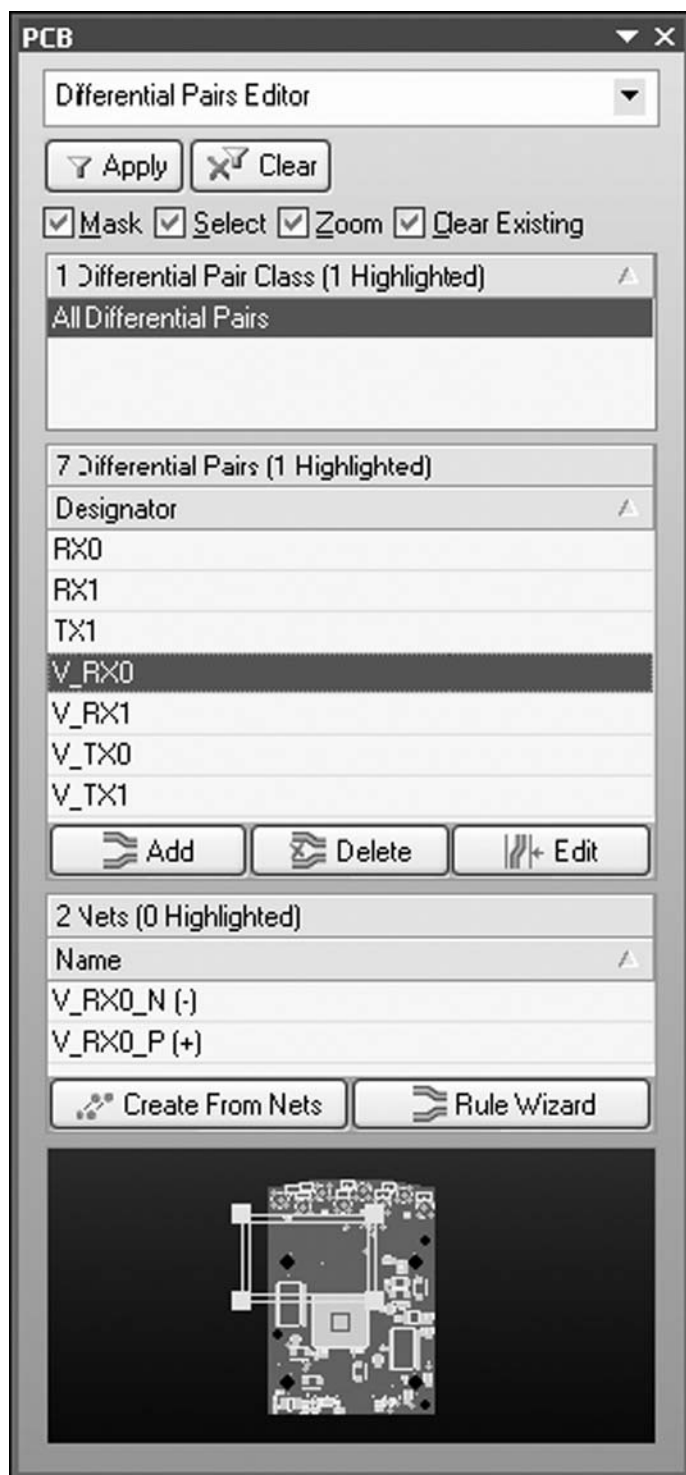


Рис. 13. Дерево проекта и просмотрщик

Полная поддержка дифференциальной пары для проектов ПЛИС, включая свопинг пинов

Современные, даже недорогие FPGA, имеют большое число пинов ввода-вывода, которые могут определяться как дифференциальная пара. С помощью мастера **FPGA Signal Manager** в проекте ПЛИС можно присвоить цепь различным стандартам ввода-вывода, например LVDS, что в дальнейшем будет определяться в паре физических цепей на уровне печатной платы.

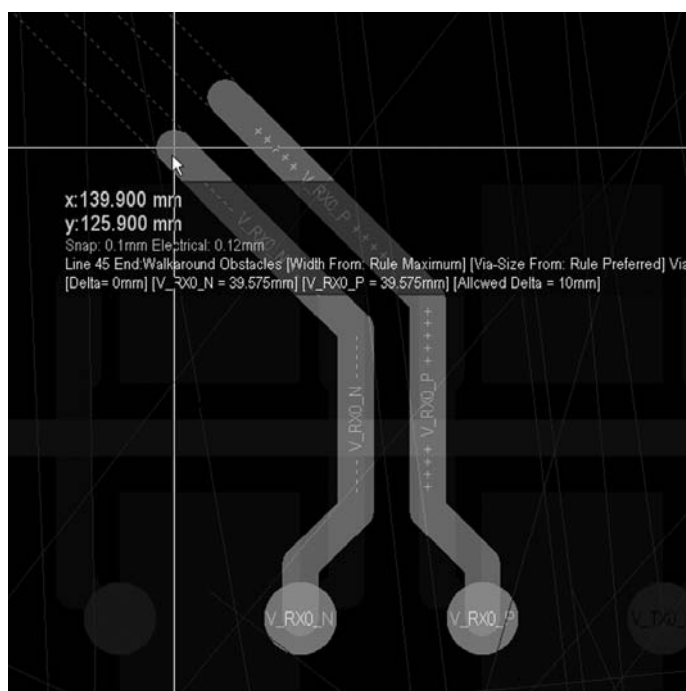


Рис. 14. Обе цепи в ДП трассируются одновременно

Компилятор проекта может также определять пины, использованные для дифференциальных пар на уровне проекта печатной платы и ПЛИС.

Модуль анализа целостности сигналов поддерживает дифференциальные пары. Для этого используется модель целостности сигнала для пинов, при использовании стандарта LVDS с ПЛИС.

Трассировка стрингеров и отводов от КП

Altium Designer имеет превосходный инструмент для формирования стрингеров (фанаутов) компонентов. Он расширен для дополнительной поддержки трассировки BGA Escape.

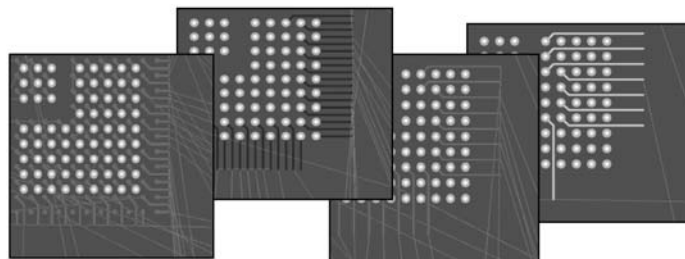


Рис. 15. Свойства трассировки стрингеров дают возможность каждой контактной площадке быть выведенной за границу BGA

Рис. 15 показывает трассировку стрингеров из пинов BGA с шагом 1 мм. Использование внутренних контактных площадок производится с применением традиционной технологии «собачья кость» для доступа к другому слою, а затем от переходного отверстия стрингер выводится за границу микросхемы, обеспечивая доступность слоёв трассировки всем необходимым контактным площадкам.

По завершении трассировки редактор предлагает систему отчетности для анализа проекта. ■

Трассировка с контролем импеданса

Юрий Ёлшин, info@rodnik.ru

С увеличением скорости работы микросхем, трассировка с управлением импедансом становится горячей темой для специалистов. В этой статье описывается использование модуля анализа целостности сигналов *Signal Integrity* для сравнения компонентных импедансов, а также возможности трассировки проводников с контролем импеданса.

Данная проблема часто обсуждается в инженерных кругах. Есть два типа инженеров-электронщиков: те, которые уже имеют проблемы целостности сигналов и те, кто их обязательно получит. Не так уж много лет тому назад, термин «целостность сигналов» был известен только специалистам, которые занимались высокочастотными проектами. Но сегодня высокоскоростные приборы становятся нормой. Совершенствование технологии интегральных микросхем привело к уменьшению размеров транзисторов и увеличению скорости их работы и переключений. А это прямо затрагивает проблему обеспечения целостности цифровых сигналов.

Многие потенциальные проблемы целостности сигналов могут быть решены выполнением проекта платы с контролируемым импедансом. Достижение этого требует специфических возможностей проектного инструментария — вы нуждаетесь в анализирующих инструментах, которые могут выявить цепи с потенциальными проблемами шума и отражения сигнала, и в проектных инструментах для платы, которые позволяют проектировщику достигнуть корректного импеданса. Altium Designer именно такие возможности и предлагает.

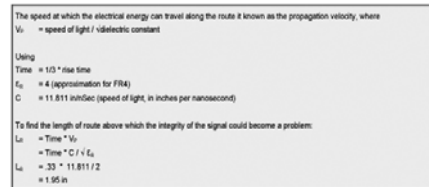
Есть ли необходимость в трассировке с контролем импеданса?

Нужно ли беспокоиться о трассировке с контролем импеданса, спросите вы?

В идеальном варианте, вся энергия, которая поступает из выводных компонентных пинов, должна быть передана в проводник на печатной плате, должна пройти через разведенную плату, загрузена в пин на другом конце и поглощена при такой нагрузке. Если при нагрузке поглощена не вся энергия, тогда её остаток будет отражён обратно, попадая в исходный выводной пин. Эта отражённая энергия может контактировать с оригинальным сигналом, добавляя или вычитая из него (в зависимости от полярности энергии), вызывая появление звона. Если этот звон достаточно велик, он будет нарушать целостность сигнала, приводя к непредсказуемому, чреватому ошибками поведению схемы.

А как вы узнаете, что это может случиться? Если пин источника способен закончить свой граничный переход перед тем, как сигнал достигнет приёмного пина, тогда для вашего проекта существуют условия столкнуться с отражённой энергией. Для определения такой ситуации имеется общее правило для целостности сигнала, это возможное правило — «1/3 времени нарастания». Это правило утверждает, что если трасса является более чем на одну треть

больше времени нарастания сигнала, то отражение (звон) может возникнуть. Если пин источника имеет время нарастания 1 наносек, тогда трасса длиннее 3.3 наносек — что и соответствует приблизительно двум дюймам в FR4 — и должна рассматриваться как передающая линия, как кандидат в проблемы целостности сигнала. Если ваше устройство имеет такой вариант времени нарастания и вы знаете, что вы будете трассировать этот вариант с учётом длины цепи, тогда вы можете успешно решить проблему целостности сигнала на плате.



Как контролировать импедансы?

Как обойти ситуацию, когда энергия отражается туда-обратно между источником и приёмником? Сделать это можно сравнением импедансов. Точный импеданс обеспечивает передачу всей энергии из источника в трассу, а затем из трассы в приёмник. Трассировка платы с учётом импеданса считается трассировкой с контролем импеданса, или говоря по-другому, это случай, когда импедансы управляемы.

Есть два принципа достижения сравнимых импедансов: во-первых, сравнимые компоненты, и, во-вторых, трассировка платы.

Сравнение импедансов компонентов

Вы не сможете достичь контролируемого импеданса только с помощью трассировки печатной платы. Сначала вы должны проверить, и если необходимо, сравнить импедансы компонентов.

В идеале хотелось бы выделить цепи, которые могут иметь потенциальные проблемы целостности сигналов на этапе ввода проекта, с тем, чтобы любые дополнительные ограничивающие компоненты можно было включить перед проектированием платы. И если выходные пины имеют низкий импеданс, а входные высокий, вероятнее всего вам необходимо добавить нагрузку согласования на приём сигнала.

В Altium Designer вы можете выполнить анализ целостности сигналов в вашем проекте на этапе ввода схемы. В таком случае (меню **Tools**) вы получите предупреждающее сообщение о наличии среднего импеданса трассы, её длине и определение питающих цепей. После этого проект можно анализировать и любые потенциально проблемные цепи будут определяться на панели **Signal Integrity**, как показано на рис. 1.

С помощью этого диалога вы можете выполнить анализ отражения на выбранных цепях. Вы можете поэкспериментировать с возможными ограничениями по конфигурации и значениям, отметив при этом, что в рамке **Termination** на панели **Signal Integrity**, имеет активную опцию **Serial Res**. В рамке, ниже на панели, которая показывает серийный нагрузочный резистор, это то место, где вы определяете минимальное и максимальное значения сопротивления резистора, который будет использован для анализа отражений сигнала.

Рис. 2 показывает два варианта отражений в цепи, первый вид — без ограничивающей нагрузки, а второй



Layer	Status	Falling Edge Dm	Falling Edge Und	Rising Edge	Rising Edge Und	Use
Micro1	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro2	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro3	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro4	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro5	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro6	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro7	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro8	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro9	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro10	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro11	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro12	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro13	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro14	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro15	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro16	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro17	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro18	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro19	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro20	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro21	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro22	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro23	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro24	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro25	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro26	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro27	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro28	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro29	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro30	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro31	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro32	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro33	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro34	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro35	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro36	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro37	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro38	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro39	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro40	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro41	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro42	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro43	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro44	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro45	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro46	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro47	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro48	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro49	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm
Micro50	Passed	125.00µm	125.00µm	125.00µm	125.00µm	0.25mm

Рис. 1. Тестирование проекта на наличие проблем целостности сигнала при вводе схемы

с ограничивающей теоретической резистивностью, введённой в пин источника.

Были выполнены 10 проходов анализа отражений с заданием теоретической нагрузки от 15 до 150 Ом. Эти 10 проходов представлены с правой стороны эпюр сигнала, кликните на каждом для подсветки результата и вы получите значение теоретической резистивности внизу справа. Для этой цепи, серии ограничивающей резистивности в 38.89 Ом будут производить вид сигнала, показанный на рис. 2.

Как вычислить импеданс трассы?

Второй частью достижения контролируемого импеданса печатной платы является такая трассировка платы, которая формирует трассы с требуемым импедансом. Имеется ряд факторов, влияющих на импеданс сигнальной трассировки, содержащих физические размеры и свойства материала.

Ниже приведены две формулы, которые Altium Designer использует для вычисления импеданса, каждая из которых выбирается в зависимости от того, расположена трасса на поверхностном слое (рассматриваемая, как полосковая линия передачи) или на внутреннем слое (рассматриваемая, как микрополосковая или несимметричная полосковая линия).

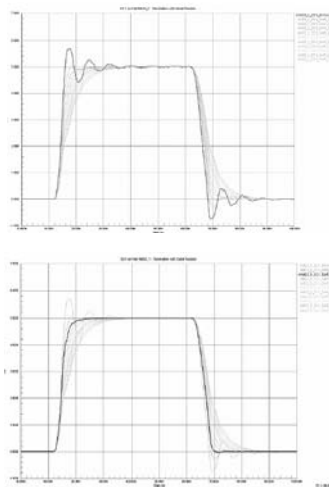
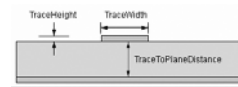


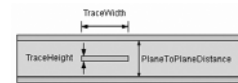
Рис. 2. Первый график показывает цепь с потенциальными проблемами целостности сигнала, а второй — ту же цепь с теоретической резистивностью в нагрузке около 40 Ом

Формула вычисления характеристики импеданса полосковой линии

$$Z_0 = (87 / \sqrt{Er + 1.41}) * \ln(5.98 * \text{TraceToPlaneDistance} / (0.8 * \text{TraceWidth} + \text{TraceHeight}))$$



Формула вычисления характеристики импеданса микрополосковой линии



Из формул вы увидите, что свой вклад в вычисление импеданса вносят толщины фольги и изоляционной (диэлектрической) прокладки, ширина платы и Er. Здесь Er — это диэлектрическая константа диэлектрического материала, наиболее часто применяемый фиброгласовый диэлектрик, используемый для изготовления платы (FR4), которая может варьироваться до 20%, в диапазоне от 4 до 5. Имеются и другие, более стабильные доступные диэлектрические материалы, такие как полиамиды или тефлон.

Эта формула доступна для редактирования в Impedance Formula Editor.

Вычисление ширины трасс для каждого слоя

Как видно из формулы, имеется много промежуточных значений, которые вносят свой вклад. Для сложных случаев вы, как конструктор платы, рассматриваете эти требования для достижения компромисса — такого, как установка более подходящих значений ширины трасс, зазоров и минимизации количества слоёв в зависимости от проектного бюджета.

В идеале вы получите импеданс, который вы хотели достигнуть, обычно в пределах от 40 до 90 Ом. Скорее чем заниматься вычислением нужной ширины трассы для каждого слоя, для достижения желаемого и требуемого импеданса используйте модуль **Signal Integrity**, который позволит вам определить импеданс, а система сама рассчитает требуемую ширину трассы для каждого слоя.

Это делается просто активацией опции **Characteristic Impedance Driven Width**, после чего вводятся требуемые значения импеданса — минимальный, предпочтительный и максимальный. Значения будут автоматически транслированы в ширины трасс для каждого слоя. Пример платы из шести слоёв (4 сигнальных и 2 экранных) показан на рис. 3.

После трассировки платы и задания слоёв, система автоматически изменит ширину до размера, необходимого для достижения искомого импеданса. Эта интерактивно управляемая импедансная трассировка значительно упрощает задачу проектирования контролируемого импеданса печатной платы.

Отметим, что встроенный импедансный калькулятор не учитывает эффект от переходного отверстия, он не учитывает потери при переходе со слоя на слой. Кроме того, он принимает в расчёт односторонние структуры (не дифференциальные) и определяет ширину трасс целевой цепи на однослойном базисе.

Определение стека слоёв

Фундаментальным требованием для управления импедансом является наличие силовых экранов. Эти экраны должны размещаться между слоями платы, и идеально они должны размещаться так, чтобы имелся, по крайней мере,

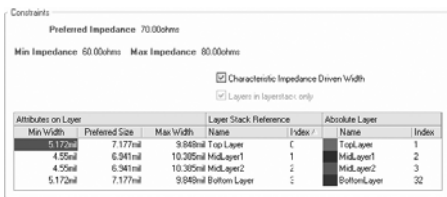


Рис. 3. Активируйте опцию *Characteristic Impedance Driven Width*

один экран, смежный с каждым сигнальным слоем. Смежный экран обеспечивает каждому сигналу путь возврата и по причине распределения напряжения постоянного тока с помощью этого экрана.

Обратный путь протекания тока через экран будет стараться следовать тем же физическим путём, как проходит трасса на сигнальном слое, поэтому вы всегда должны пытаться обойти введения разрыва непрерывности, таких как расщепление или разрыв в силовом экране, ниже любой критической трассы.

Так же как и в выборе подходящей последовательности сигнальных и экранных слоёв, вы нуждаетесь в определении свойств материала для каждого слоя, включая:

- Толщину медной фольги
- Толщину диэлектрика
- Диэлектрическую константу

Эти значения и ширины трасс влияют на конечный импеданс.

Достижение требуемого импеданса тогда становится процессом настройки всех этих значений. Имейте в виду, что возможные значения толщин меди и диэлектрика могут также быть ограничены, что определяется доступностью материалов от вашего изготовителя печатных плат.

Например, типичные значения медной фольги составляют 0.7 мил (1/2 унции) и 1.4 мила (1 унция) для экранного слоя. Но если ваш стек является таким, что один сигнальный и один экранный слои являются парными на любой стороне одной оригинальной тонкой панели, используемой в многослойной технологии, тогда они могут иметь одинаковую толщину меди.

Рис. 4 показывает шестислойный стек, где видно, что каждый внутренний сигнальный слой имеет парный экранный слой.

В идеале вы должны использовать для всех сигнальных слоёв толщину 0.7 мил, что в результате даст толщину трассировки, показанную на рис. 5. Отметим, что предпочтительный размер трасс весьма близок к 7 милам, делая процесс трассировки достаточно простым.

Но если процесс изготовления требует, чтобы на внутренних слоях 1 и 2 использовалась фольга толщиной 1.4 мила, так как каждая из них составляет пару с экранными слоями, тогда ширина трасс, показанная на рис. 6, должна быть использована для достижения импеданса в 70 Ом. В этом случае, ряд предпочтительных ширин трасс всё ещё достижим.

Подобно толщине медной фольги, толщина гетинакса определяется толщиной панели для пары слоёв в многослойном проекте. Возможно, большую свободу даёт прокладка из препрега, а точнее её толщина. И, наконец, имеется финальная толщина платы в целом, где также должно иметь место реальное значение (обычно около 62 мил).

Из этого простого примера вы можете увидеть, что требуется процесс проработки для достижения компромисса между доступными материалами и требуемым импедансом для достижения окончательного стека платы и шириной трасс.

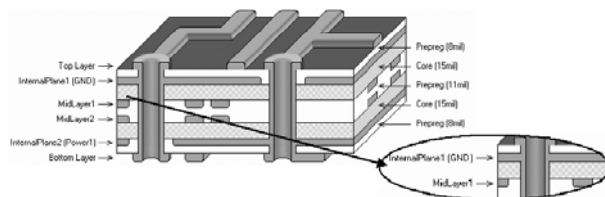


Рис.4. Шестислойный стек, показывающий возможную толщину материала. На линзе показаны внутренний экран и пара внутренних слоёв

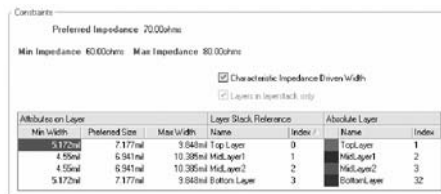


Рис. 5. Ширина трасс, требуемая для достижения импеданса в 70 Ом, использующая 0.7 мил толщины сигнальных слоёв

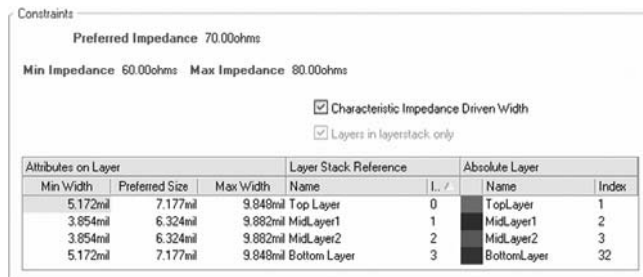


Рис. 6. Ширина трасс, требуемая для достижения импеданса в 70 Ом, использующая 1.4 мил толщины меди для внутренних сигнальных слоёв

Тестирование целостности сигнала на разведённой плате

Таким же образом, как вы тестировали цепи в процессе захвата проекта, используя длину цепи и трассировочный импеданс, после окончания трассировки вы должны повторить процесс на плате, для определения потенциальных нарушений импеданса и отражений (звона) в трассах. Запустите тест Signal Integrity из меню **Tools** редактора PCB. Так как PCB является частью проекта, Altium Designer теперь будет использовать свойства материала и размеры, заданные в **Layer Stack Manager** и реальную ширину трасс на плате для вычисления импедансов, как это предусмотрено тестами целостности сигналов.

Достижение необходимых импедансов

После итеративного процесса подгонки размеров, который вы прошли для достижения корректного импеданса, имеются другие факторы, оказывающие влияние на окончательный импеданс: постоянство и стабильность диэлектрического материала, использованного для изготовления печатных плат, а также постоянство и качество процесса протравливания. Если вы требуете контролируемого импеданса печатной платы, вы должны обсудить это с изготовителем печатной платы. Многим будет достаточно включить на каждую панель, которую изготавливают, тест купоны — они будут использованы для измерения реального импеданса, достигаемого на плате. ■

Трансляция проектов из P-CAD и OrCAD в Altium Designer

Юрий Елшин, info@rodnik.ru

В данной статье описывается технология передачи данных схмотехнических проектов, библиотек и проектов печатных плат из программы P-CAD 2004 в универсальную систему комплексной разработки электронных устройств Altium Designer.

На старт — схемы передачи проектов

Задача состоит в корректной трансляции P-CAD PCB ASCII, SCH и LIB (библиотека) файлов, которую невозможно не облегчить с помощью Мастера Импорта Altium Designer Importer Wizard. Мастер Импорта обеспечивает пользователя полным контролем над проектами, предварительно анализируя исходные файлы и предлагая множество установок проектной структуры, т. е. переопределение слоёв, наименование посадочных мест печатных плат и т. д.

Трансляция файла P-CAD

Файлы в Мастере Импорта транслируются по следующей схеме:

- P-CAD PCB в Altium Design PCBDOC.
- P-CAD SCH в Altium Designer SCHDOC.

В оболочке Altium Designer эти файлы будут автоматически сгруппированы в комплексный проект печатной платы.

P-CAD LIB файлы транслируются по следующей схеме:

- Библиотеки, содержащие информацию о корпусе, в исходный файл библиотеки PCB.
- Библиотеки, содержащие информацию о символе, в исходный файл библиотеки SCH.
- Библиотеки, содержащие корпусную и символьную информации, в интегрированный файл библиотеки.

Библиотеки P-CAD автоматически не транслируются в Altium Designer как интегрированные (компилированные) библиотеки. Для создания интегрированной библиотеки необходимо сделать настройки вручную, запустив команду компиляции **Compile Project** из панели **Project**.

Трансляция файла OrCAD

Файлы в Мастере Импорта транслируются по следующей схеме:

- OrCAD Layout (*.MAX) в Altium Designer PCBDOC.
- OrCAD Capture (*.DSN) в Altium Designer SCHDOC. Каждая страница из .DSN файла будет импортирована как один Altium Designer схемный файл. Проектные КЭШИ из .DSN файла будут импортированы как библиотека схем. Любая структура папки игнорируется.

В оболочке Altium Designer эти файлы будут автоматически сгруппированы в комплексный проект печатной платы.

OrCAD LIB файлы транслируются следующими способами:

- Библиотеки, содержащие информацию о корпусе, в исходный файл библиотеки PCB.
- Библиотеки, содержащие информацию о символе, в исходный файл библиотеки SCH.

Наименование пинов и нумерация

Полезно отметить, что если вы при трансляции файлов получаете ошибку **Unrecognized Project File Version**, то эта ошибка появляется в результате нового свойства OrCAD Capture v.10.x, которое состоит в возможности перемещения имени пина и независимой нумерации пинов. Для передачи в Altium Designer проектов OrCAD 9.x и ниже потребуются все последующие версии до действующей OrCAD 10.5. Убедитесь, что DSN файл выбран в проектной панели, и запустите **File > Save As**. Вы увидите небольшой флажок, который означает **Remove Pin Name and Number Movement**. Этот флажок появится, если имя пина и его номер сохранены в версии 10.x., кликните его и пересохраните файл DSN. Теперь DSN файл можно импортировать в Altium Designer.

Использование Мастера Импорта

Мастер Импорта запускается по команде **File > Import Wizard**. После активации команды появится меню мастера, как показано на рис. 1.



Рис. 1. Мастер Импорта

В чем преимущество Altium Designer?

В отличие от P-CAD и OrCAD, система Altium Designer предлагает уникальную управляющую оболочку Design Explorer и сложную иерархию построения проекта. Преимущество заключается в удобстве единственного приложения, имеющего одновременный доступ к проектам схем, текстовым описаниям на уровне VHDL и Verilog, к проектам печатных плат и программируемой логики, к интегрированным библиотекам т. д. Система Altium Designer имеет множество интерфейсов с пакетами трехмерного проектирования Pro Engineer, Solid Works, Autodesk Inventor и др. Благодаря удобству администрирования системы пользователи имеют возможность групповой разработки и контроля проектов. Некоторое время назад в Altium Designer была реализована технология Shader Model, освобождающая ресурсы центрального процессора и ускоряющая процесс разработки в 20 раз.

Рабочие панели

Многие команды и мастера управляющей оболочки Altium Designer первоначально являются интуитивно понятными пользователям P-CAD и помогут начать эксплуатацию системы.

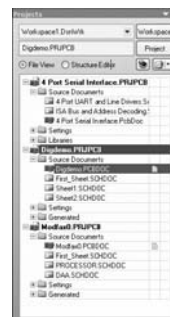


Рис. 2. Проектные файлы P-CAD немедленно отображаются после трансляции на панели проектов

Например, панель Projects (рис. 2) является двойником P-CAD Design Manager, но, она более глобальна и проектно-ориентирована и не ограничивается только проектными данными.

После открытия проектов в различных редакторах вы отметите, что интерфейс динамически изменяется: меню, панели и инструментарий быстро обновляются при переходе с закладки одного проекта на закладку другого. Для управления, группирования и контроля за документами необходимо ознакомиться с менеджером доступа Storage Manager.

Основы управления хранением

Все проектные документы и сгенерированные выходные файлы, включая транслированные проектные файлы из P-CAD, сохраняются как индивидуальные файлы на жёстком диске. Проектные файлы открываются как индивидуальные документы, как проекты по команде **File > Open**, или с панели **Files**.

Необходимо помнить, что в Altium Designer имеется только один файл документа для каждого схемного листа проекта, в отличие от идеологии P-CAD, где многострочная схема содержится в одном проектном файле!

Менеджер хранения

Altium Designer отличается от P-CAD совершенным менеджером хранения (Storage Manager), который обеспечивает пользователя полным управлением файлами проекта. Этот Менеджер можно вызвать в любой момент времени простым щелчком кнопки **System** в нижней части прикладного окна и указанием **Storage Manager** из выпадающего меню.

Storage Manager является многофункциональным менеджером управления файлами, управления резервными копиями файлов и контролером версий.

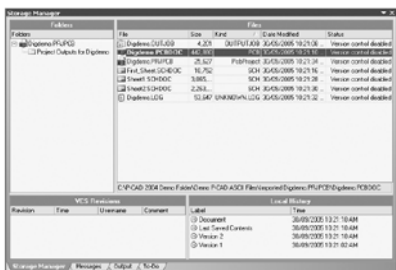


Рис. 3. Менеджер хранения

Панель навигации

Altium Designer предлагает панель навигации для быстрого поиска и определения проектов. Панель навигации (рис. 4) помогает в прямой навигации по проектным документам и может быть доступной в любой момент из любого графического редактора и приложений.



Рис. 4. Панель навигации

Просмотр и оценка документов

Поле в левой части панели позволяет вам просмотреть любую директорию, документ в сети или локальное хранилище данных непосредственно, а также любую страницу в Интернете. Поиск и предварительную оценку документов легко использовать с помощью стрелочных клавиш для перехода туда и обратно, подобно браузеру в Интернете.

Интегрированная навигационная главная страница


Кликните кнопку Go to Home Page  для доступа к Интегрированной Навигационной Главной Странице, в верхней части, где находятся доступные страницы навигационной поддержки, как показано на рис. 5.



Рис. 5. Навигационная главная страница

Среда разработки

Стартовой основой в Altium Designer является проект. Эта простая и важная концепция — проект в Altium Designer представляет собой набор проектных документов, где состав каждого из документов уже определён его назначением. Например, проекты схемы и печатной платы в наборе выходных файлов проекта печатной платы требуются для изготовления только печатной платы, в то время как проект схемы и текстового описания HDL в наборе выходных файлов проекта ПЛИС требуются для изготовления ПЛИС.

Панель проектов

В Altium Designer все элементы, относящиеся к проекту и связанные с проектной документацией, должны быть легко доступными и управляемыми. Панель Projects вероятно одна из наиболее часто используемых панелей в работе, так как именно она позволяет вам изменять проект, опции отображения проекта, последовательность документов в проекте и варианты представления.

Каждый из транслируемых файлов будет появляться на панели Projects со своими собственными проектами, автоматически для них созданными. Командное меню, которое обеспечивает доступ ко всем командам редактирования, доступно с помощью клика на вашем проектном файле и затем кликом правой кнопки (рис. 6).

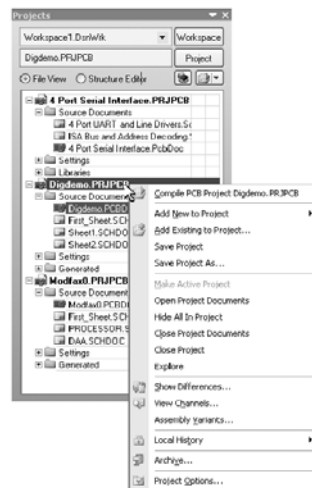


Рис. 6. Клик правой кнопки мышки показывает все проектно-связанные команды меню

Где находятся мои цепи и компоненты моего проекта?

В процессе компиляции вы получаете немедленное уведомление, что связность в проекте не является корректной, как это было ранее в P-CAD. С помощью команды **Compile Project** выявляется произвольная иерархия на уровне схемы и отображается панель навигации совместно со всеми компонентами, цепями и шинами вашего проекта и все их ассоциированные элементы.

Верификация проекта

Другим достоинством получения результатов компиляции проекта в Altium Designer является встроенная система отчёта об ошибках. Это полностью конфигурируемая система под ваши задачи. Вы можете ввести систему перед компиляцией проекта. Просто кликните на проектном файле правой кнопкой мышки и введите команду **Project Option** или через меню **Project**.

Установки по умолчанию позволяют полностью отслеживать все ошибки и предупреждения при прогоне или перед компиляцией, как это показано на рис. 7.

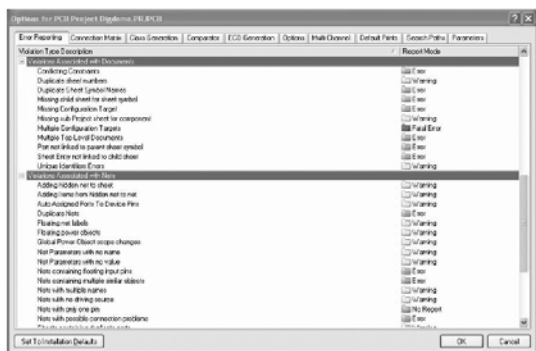


Рис. 7. Вкладка отчёта об ошибках в диалоге Проектных Опций

Связность в проекте

Altium Designer поддерживает различные типы связности и согласованности структуры проекта. Все установки связности определяются в Net Identifier Scope (Обзор определителей цепей).

В меню **Project** укажите команду **Project Options** и перейдите на вкладку Option, как показано на рис. 8.

В рамке Net Identifier Scope вы можете выбрать одну из 4-х опций для вашей связности:

- Автоматически (базируясь на содержимом проекта)
- Плоская (только для глобальных портов)
- Иерархическая (листовой вход — соединяющий порт)
- Глобальная (цепи и глобальные порты).

Мастер Импорта автоматически анализирует связность в процессе трансляции проекта. Если в вашем схематехническом

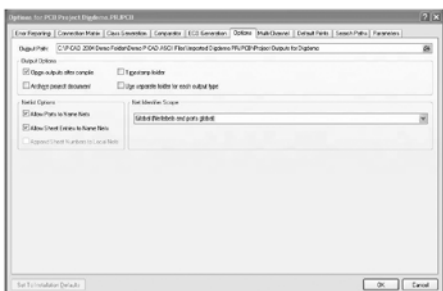


Рис. 8. Экран определителей цепей можно установить на вкладке Option на панели Project Option

проекте отсутствует символ листа, тогда он будет представлять Плоскую связную конфигурацию (глобальные порты). Если имеются символы листа, тогда он будет представлять Автоматическую конфигурацию (на основе содержимого проекта). Помните, что вы можете легко вернуться обратно и изменить эту конфигурацию после окончания процесса передачи данных через диалог **Project Option** и меню **Project**.

Синхронизация проекта

Синхронизация проекта полностью интегрирована в Altium Designer без необходимости передачи списка соединений. Синхронизация является двунаправленной между вашими схематехническим проектом и проектом печатной платы, позволяя производить аннотационные изменения и обновлять свойства компонентов. Всё это можно выполнить во время обновления, без экспорта или импорта информации о цепи.

Только имеется интересная особенность. Если изменить связность при передаче данных от печатной платы к схеме, то будет сформирован отчёт и изменения в схеме придется выполнить вручную.

Схемный символ есть компонент...

Как опытный пользователь P-CAD, вы должны иметь своё представление о символе в Altium Designer как о компоненте. Небольшое сравнение поможет увидеть разницу между двумя моделями соответствующих систем для лучшего понимания.

В P-CAD все логические и электрические данные, которые находятся в компоненте, могут быть просмотрены в Library Executive в диалоге Pins View. Определение контактной площадки в физическом представлении компонента, вместе с электрическими и логическими данными пинов являются единственно доступной компонентной информацией.

Компоненты в Altium Designer содержат больше информации, что обеспечивает пользователей наибольшей гибкостью в представлении.

В Altium Designer логический символ может быть первоначально задан минимальным, как имя в библиотеке, в котором пины и любые графические символы или альтернативные

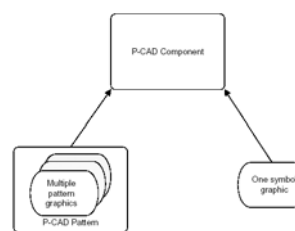


Рис. 9. P-CAD компоненты имеют единственный графический символ

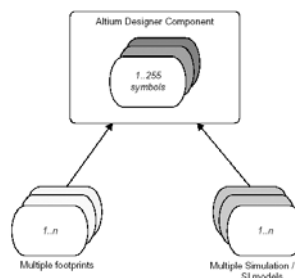


Рис. 10. Компоненты в Altium Designer имеют множество корпусов, символов, Pspice-модели и библиотеки трехмерных элементов

графические представления могут быть добавлены. Такая гибкость позволяет компоненту быть представленным различным образом в процессе проектирования. Он может быть не только логическим символом на схеме, но также быть посадочным местом на топологии или как SPICE-модель для аналого-цифрового моделирования.

Настоящий иерархический проект

Altium Designer предлагает пользователям P-CAD «настоящую» иерархию единого проекта, включающего файлы различных типов (рис. 11). Конечно же осуществляется синхронизация между проектами, но проще объединить данные посредством представления первого листа как базового и представления символа листа как дополнительного.

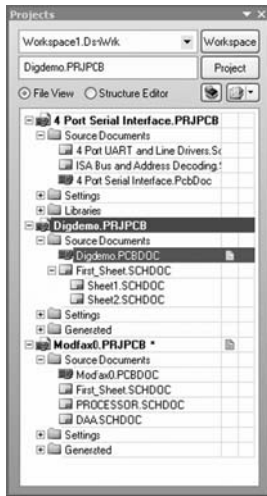


Рис. 11. Иерархический проект легко просматривается в виде дерева

Многоканальный проект

В Altium Designer также поддерживается многоканальный проект, концепция которого может оказаться приятной неожиданностью для многих пользователей P-CAD. Канал необходимо нарисовать только однажды как отдельный схемный суб-лист и включить в проект.

Имеется несколько многоканальных проектов, которые представлены как демофайлы в Altium Designer (Multichannel Mixer и Peak Detector), представляют собой два превосходных проекта, находящихся в папке \Examples\Reference Design.

Библиотеки

Все Altium Designer насчитывается около 80000 компонентов, как интегрированных библиотечных элементов, из которых можно в любое время выделить исходные библиотеки.

Вчера — Библиотеки P-CAD

В P-CAD, вы помните, что интегрированная библиотека содержит корпусную и символическую информацию. Компоненты в этих библиотеках имеют логические обозначения пинов и данные пинов, соответствующих типу компонентов. Компонент даёт информацию о символах и корпусах, а корпуса и символы не содержат какую-либо логическую информацию о значениях пина, так как они имеют только графическое представление. Корпуса сохраняются отдельно.

Сейчас — Библиотеки Altium Designer

В Altium Designer интегрированный библиотечный компонент компилируется в единый файл, где есть информация о символе и посадочном месте, информация SPICE-модели и трехмерной модели. Компилируются в единый файл. В процессе

компиляции производится просмотр заданных связей, корректность связей между моделями и символами и группировка их в единую интегрированную библиотеку. Однако в отличие от P-CAD, этот файл нельзя непосредственно редактировать в Altium Designer, тем самым обеспечивая сохранность данных.

Типы библиотек

В окружении Altium Designer имеются три типа используемых библиотек: модельные, схемные и интегрированные.

Модельные

Данные библиотеки содержат модельные файлы (*.mdl, *.ckt). В других проектных средах модели обычно группируются в библиотечные файлы, соответствующие группам их пользователей, например, такие как посадочные места группируются в библиотеки пакетного типа (*.PcbLib).

Схемные

Данные библиотеки содержат исходные схемные компоненты и их модельные интерфейсные определения (*.SchLib).

Интегрированные

Данные библиотеки представляют набор интегрированных библиотек, которые компилируются в один файл, называемый интегрированной библиотекой (*.IntLib).

Сразу после передачи библиотеки есть возможность просмотреть исходные схемную и модельную библиотеки. Интегрированные библиотеки транслируются не автоматически, однако, они будут автоматически сгруппированы в интегрированные библиотеки проектов.

Связность баз данных таким образом, что вы можете перенести данные из внешнего источника, подобного вашей базе данных, которую затем можно включить в Спецификацию (BOM), не является незнакомой для пользователей P-CAD. Altium Designer имеет возможность импортирования данных из внешнего источника или библиотеки. Прежде это использовалось в P-CAD с помощью файла с разделителями-запятыми в Library Executive. Пока связность базы данных в Altium Designer установлена для MS Access (*.mdb файлы) по умолчанию, любая ODBC — совместимая база данных может быть доступна на более гибком уровне.

Как установить новую рабочую область?

Мастер печатной платы

Перед тем как передать проект из схемотехнического редактора в редактор печатных плат, необходимо иметь, как минимум, контур платы. Мастер печатной платы (PCB Board Wizard) позволяет вам легко создавать основу проекта, используя различные промышленные стандартные типоразмеры плат, а также собственные пользовательские типоразмеры плат.

Мастер PCB Board Wizard запускается из панели Files в рамке **New from template**. На любой стадии проектирования можно использовать кнопку Back для редактирования страниц в Мастере.

Сетки и единицы измерения

Все опции для сетки размещения, единицы измерения, позиции листа и отображение обозначений можно здесь обнаружить. В главном проектном окне проекта печатной платы (для этого и всех последующих контекстных диалогов) в главном меню запустите команду **Design > Board Option** [горячие клавиши **D, O**] для открытия диалога Board Option.

Предпочтения, которые облегчают позиционирование компонентов, таких как Online DRC, Snap to Center. Selection preferences, могут быть обнаружены в диалоге Preferences для

Документов PCB. Укажите **Tools > Preferences** [горячие клавиши **T, P**] из главного командного меню для открытия диалога Preferences.

Слои платы и цвета

Укажите **Design > Board Layers and Colors** [горячая клавиша **L**] из главного командного меню, где вы можете отобразить, добавить, удалить, переименовать и установить цвета для слоёв. Обратите внимание, что вы можете легко перемещаться между слоями в проекте простым выбором вкладки слоя внизу главного проектного окна.

Менеджер стека слоя

Слоями можно легко управлять и просматривать (теперь в 3D) с помощью менеджера Layer Stack Manager. Этот диалог доступен из главного командного меню **Design > layer Stack Manager** [горячие клавиши **D, K**].

Некоторые другие полезные горячие клавиши, в том числе + и — циклически обходят все видимые слои, где * только для циклического обхода сигнальных слоёв.

Проектные правила

Редактор печатных плат является мощным и интуитивным правилом — ориентированным интерфейсом. Можно проектировать размещение трассы, смещение компонентов или трассировку платы, при этом редактор постоянно контролирует каждое ваше действие и проверяет их на предмет соответствия проектным правилам при компиляции. При наличии ошибки он немедленно выводит контекстное сообщение.

Находясь в редакторе как в активном документе, запустите команду **Design > Rules** из главного командного меню для вызова диалога PCB Rules and Constraint Editor, как показано на рис. 12.

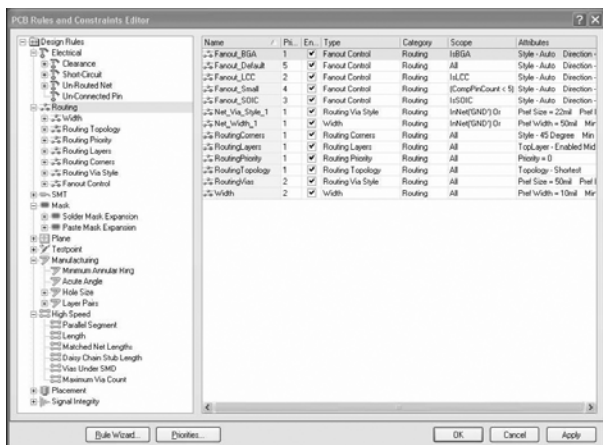


Рис. 12. Окно мастера проектных правил

Одним из мощных свойств мастера проектных правил в Altium Designer является то, что можно задать множество правил одинакового типа, ориентированных на различные проекты. Это называется scoring (проверка), новая концепция для пользователей P-CAD, позволяющая вам определять иерархию применения правил к вашему проекту. Иерархия правил задается пользователем.

Интерактивная трассировка

Как и в P-CAD, необходимо иметь активный сигнальный слой перед началом трассировки. Активируйте слой с которого вы хотите начать работу нажатием клавиши **L** для отображения диалога слоёв платы и расцветок. Кликните флажок **Show** для

активации слоя — также как вы это делали в P-CAD. Кликните вкладку Layer внизу рабочей области для перевода его в текущий или активный слой и сделайте готовым для трассировки.

Следующие указания помогут выполнить быстрый старт для размещения трасс (многие из них знакомы пользователям P-CAD):

- Клик левой клавиши мышки или клавиша **Enter** — помещает начальную или конечную вершину трассы. Размещённые сегменты трасс будут иметь цвет слоя.
- Клавиша **Пробела** позволяет вам переключаться между начальными и конечными режимами для помещённой трассы.
- **SHIFT+Пробел** — позволяет вам изменить режим угла для текущей трассы.
- **END** — позволяет перерисовать экран в любой момент.
- **V, F** — перерисовывает экран с захватом всех объектов (View Extent).
- **PAGEUP, PAGEDOWN** позволяет увеличивать или уменьшать изображение и центрировать позицию курсора. Колесо мышки поможет вам панорамировать влево или вправо, удерживая клавишу **Ctrl**.
- **Backspace** — отменяет последний сегмент трассы.
- **ПК** или **ESC** — завершает трассу.
- **SHIFT+R** — 3 режима обхода препятствия для интерактивного трассировщика: обойти, оттолкнуть или игнорировать препятствие.

Установка выходных данных проекта

Редактор выходных данных OutputJobs позволяет вам определять и управлять выходными файлами (*.OutJob), которые формируют сборку, изготовление, отчёты, перечни цепей и т. д. Вы можете создать даже множество Output Job файлов и добавлять их в ваш проект для создания отдельных выходных сборок из выводных данных для изготовления.

Вы можете создать новый файл этого типа для любого активного проекта по команде **File > New > Output Job File** (рис. 13) или кликнув правой кнопкой мышки на проекте в панели Projects и указав Add New to Project > Output Job File из появившегося выпадающего меню.

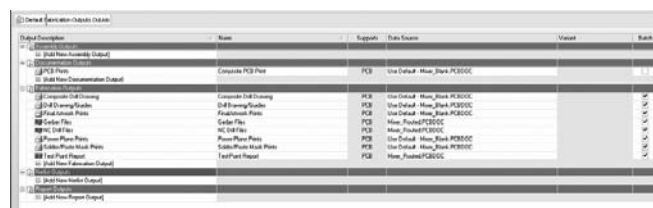


Рис. 13. Рабочий выходной файл изготовления для многоканального смесителя

PDF

Мастер Smart PDF является встроенным мастером генерации единого схемного листа, чертежа платы или и схемы и платы в проекте.

Экспорт проекта осуществляется в формате PDF.

Обозреватель версий лицензий

Обозреватель версий в Altium Designer предлагает быструю, лёгкую и надёжную методику исследования проектов и документов, создаваемых в Altium Designer. Пользователи могут просмотреть, распечатать и производить запросы обо всех аспектах проекта, создаваемого в Altium Designer и делая проектные данные более доступными во всей проектной цепочке. Обзорщик версий значительно ускоряет поток проектных работ и продуктивность проекта. ■